

特開平8-330864

6

53, 73……容量性スタブ

80……インダクタンス素子

80a, 80b, 90a……マイクロストリップ線路

80 c.....橋樑片

80 d, 90 c……連結部

90……キャバシタンス素子

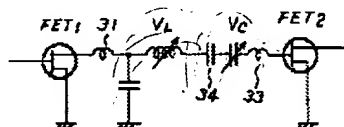
90b.....島状片

FET 1.....前段FET

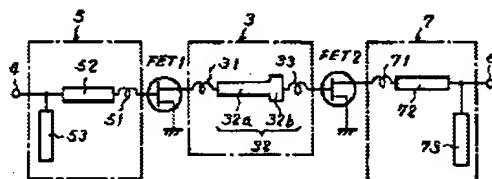
FET 2.....後段FET

10

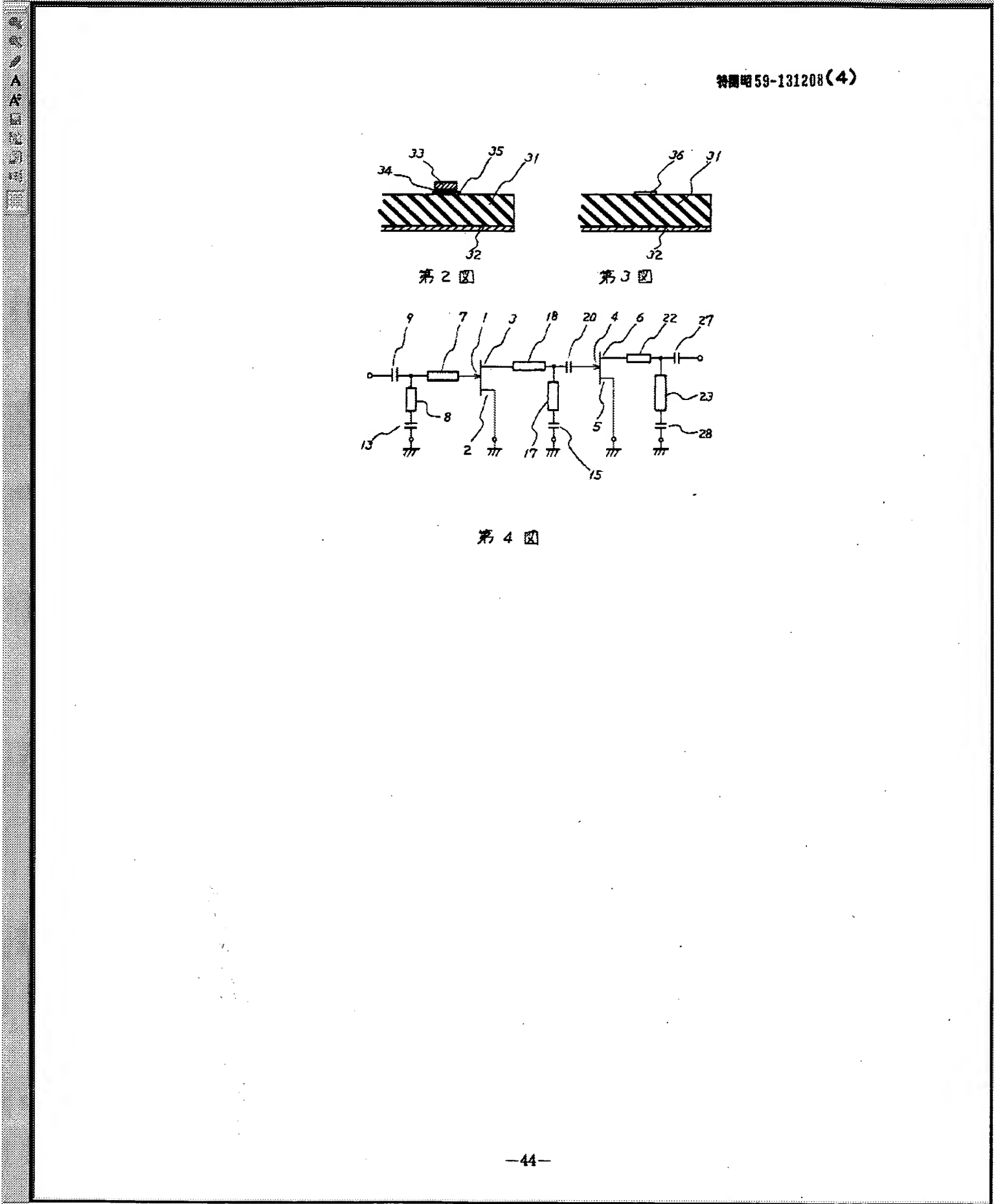
【図2】



【图3】



THIS PAGE BLANK (USPTO)



特開明59-131208(4)

第2圖

第3圖

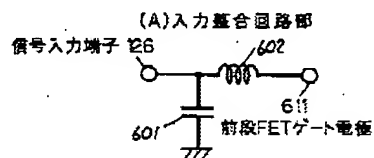
第4圖

THIS PAGE BLANK (USPTO)

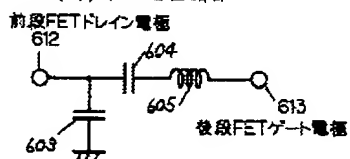
(12)

特開平11-220344

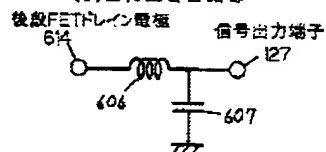
【図6】



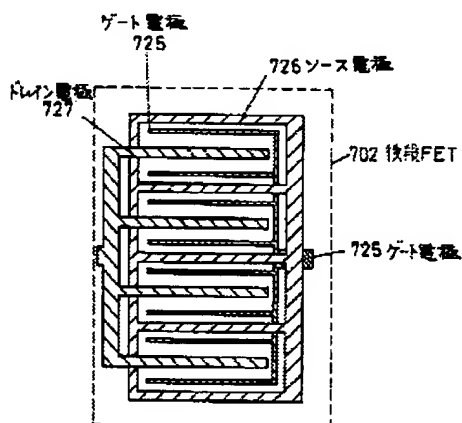
(B) 段間整合回路部



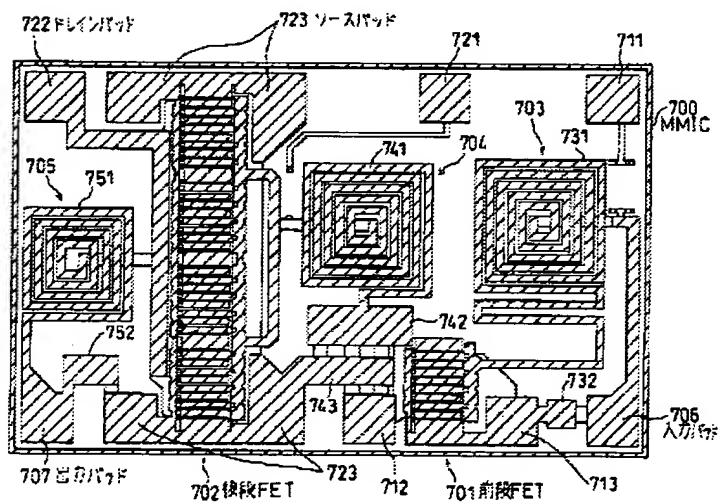
(C) 出力整合回路部



【図8】



【図7】



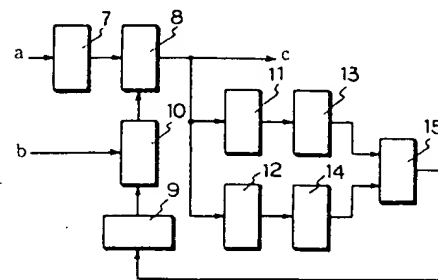
THIS PAGE BLANK (USPTO)

(54) CONTROLLER OF MODULATION DEGREE

(11) 58-94208 (A) (43) 4.6.1983 (19) JP
 (21) Appl. No. 56-191973 (22) 30.11.1981
 (71) ANRITSU DENKI K.K. (72) YUKIO SUGIYAMA
 (51) Int. Cl.³ H03C1/00

PURPOSE: To keep a prescribed modulation degree to the change of load, by detecting the carrier signal level and the low frequency signal level from the modulated wave signal of output and applying feedback after comparing both levels with each other.

CONSTITUTION: The carrier signal supplied from an oscillator (not shown in figure) is fed to a modulation amplifying circuit 8 after high frequency amplification 7. While the low frequency signal is fed to the circuit 8 after low frequency amplification 10. The carrier signal is modulated with the low frequency signal through the circuit 8 and amplified again to be delivered in the form of the modulated wave signal. This modulated wave signal is fed to an extracting circuit 11 for carrier signal component and to an extracting circuit 12 for low frequency signal component. Thus the carrier signal component obtained with no modulation given by the low frequency signal is extracted out of the circuit 11, and the rectified 13 carrier signal level A is fed to a voltage comparator 15. At the same time, the low-frequency signal component is extracted out of the circuit 12, and the low frequency signal level B is fed to the circuit 15. The circuit 12 performs the relative voltage comparison between the signal levels A and B and then applies feedback.



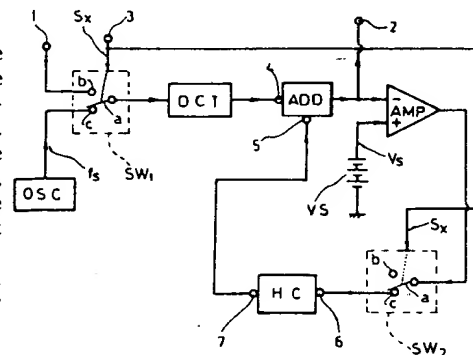
a: carrier signal. b: modulated wave signal. c: low frequency signal

(54) FREQUENCY DISCRIMINATOR

(11) 58-94209 (A) (43) 4.6.1983 (19) JP
 (21) Appl. No. 56-191970 (22) 30.11.1981
 (71) NIPPON VICTOR K.K. (72) KAZUO NEGISHI(1)
 (51) Int. Cl.³ H03D3/00

PURPOSE: To obtain a stable frequency discriminator which is free from the variation of frequency-voltage conversion characteristics regardless of a change of temperature and humidity or a change with time, by using a frequency-voltage converter, reference oscillator, changeover switch, adder, holding circuit, etc.

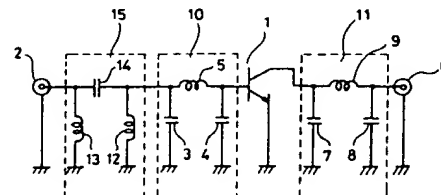
CONSTITUTION: A frequency discriminator is provided with a frequency-voltage converter DCT, reference oscillator OSC, changeover switch SW₁, adder ADD, holding circuit HC, etc. For this discriminator, a period is secured to discontinue the discrimination of frequency to the signal that is originally used as a subject for the discrimination of frequency. This period is defined as a period of calibration of the frequency discriminator, and the state calibrated during the period of calibration is held. Under such conditions, the frequency is discriminated for the signal that is originally used as a subject for the discrimination of frequency. Thus the stable discrimination of frequency is possible with no variation of frequency-voltage conversion characteristics although there is a change of temperature and humidity or a change with time.

**(54) INTERNAL MATCHING TYPE HIGH-FREQUENCY TRANSISTOR**

(11) 58-94210 (A) (43) 4.6.1983 (19) JP
 (21) Appl. No. 56-193508 (22) 28.11.1981
 (71) MITSUBISHI DENKI K.K. (72) MICHIO IRIE
 (51) Int. Cl.³ H03F3/19, H01L29/72, H03F3/60

PURPOSE: To amplify only a desired frequency band for an internal matching type high-frequency transistor consisting of a transistor and the 1st and 2nd matching circuits, by connecting an HPF between an input terminal and the 1st matching circuit.

CONSTITUTION: An internal matching high-frequency transistor is provided with a transistor TR1, the 1st matching circuit 10 connected between an input terminal 2 and the base of the TR1, and the 2nd matching circuit 11 connected between an output terminal 6 and the collector of the TR1. Then an HPF15 consisting of coils 12 and 13 and a capacitor 14 is connected between the terminal 2 and the circuit 10. In such constitution, if the frequency component less than a desired frequency is contained in the input signal which is fed to the terminal 2, this component is greatly attenuated by the HPF15. This component improves the spurious characteristics of an amplifier. Then unstable working can be eliminated by using such internal matching type high-frequency transistor to form an amplifier.



THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-160729

(P2001-160729A)

(43) 公開日 平成13年6月12日 (2001.6.12)

(51) Int.Cl. ⁷	識別記号	F I	ターミナル* (参考)
H 0 3 H 7/46		H 0 3 H 7/46	A 5 J 0 0 6
H 0 1 P 1/213		H 0 1 P 1/213	M 5 J 0 2 4
H 0 3 H 7/075		H 0 3 H 7/075	Z

審査請求 未請求 請求項の数 2 O L (全 4 頁)

(21) 出願番号 特願平11-342790

(22) 出願日 平成11年12月2日 (1999.12.2)

(71) 出願人 000191238

新日本無線株式会社

東京都中央区日本橋横山町3番10号

(72) 発明者 能勢 和良

埼玉県上福岡市福岡二丁目1番1号 新日

本無線株式会社川越製作所内

Fターム (参考) 5J006 KA01 KA13 KA21 LA12 LA21

PB01

5J024 AA01 BA01 BA18 CA03 CA04

CA10 CA19 DA01 DA25 EA01

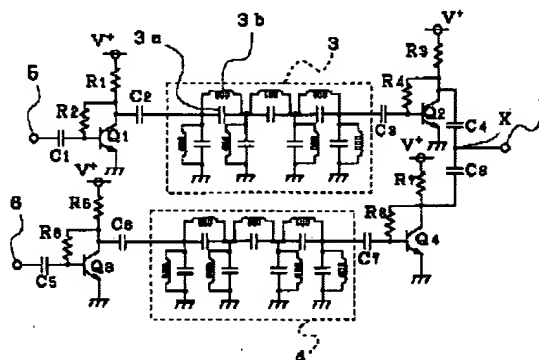
EA02

(54) 【発明の名称】 ダイプレクサ

(57) 【要約】

【課題】 非常に近接した2つの周波数を取り扱うためにフィルタに急峻な周波数特性を持たせても、低コストで回路規模を最低限に抑えることができ、しかも安定した特性を実現できるダイプレクサを提供する。

【解決手段】 近接した2つの異なる周波数帯域の信号をそれぞれ入力する2つの入力ポート5、6と、それぞれに接続する2つのフィルタ3、4と、それらの出力を1点に接続する接合点Xと、合成信号を出力する1つの出力ポート7とを具備するダイプレクサにおいて、2つのフィルタ5、6の一方は低域通過フィルタであり、他方は高域通過フィルタであり、少なくともいずれか一方は、チップコンデンサ3aとマイクロストリップラインからなるインダクタ3bの並列共振回路をエレメントとし、該エレメントを π 型接続してなる単位フィルタをさらに直列に多段接続して構成する。そして、2つのフィルタ5、6それぞれの前後には、トランジスタQ1～Q4を含むバッファアンプを配設した。



THIS SIDE BLANK (USPTO)

CLIPPEDIMAGE= JP02000244263A

PAT-NO: JP02000244263A

DOCUMENT-IDENTIFIER: JP 2000244263 A

TITLE: HIGH FREQUENCY POWER AMPLIFIER

PUBN-DATE: September 8, 2000

INVENTOR-INFORMATION:

NAME

FUJII, YASUTO

COUNTRY

N/A

ASSIGNEE-INFORMATION:

NAME

KYOCERA CORP

COUNTRY

N/A

APPL-NO: JP11046622

APPL-DATE: February 24, 1999

INT-CL (IPC): H03F003/60

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a high frequency power amplifier with a multi-stage configuration by which highly efficient power amplification is easily attained.

SOLUTION: The amplifier is provided with two high frequency amplifying stages 42 and 43, an input matching circuit 45 connected to the input electrode 42 of the preceding stage, an inter-stage matching circuit 48, an output matching circuit connected to the output electrode 49 of the succeeding stage and a bias circuit consisting of a distribution factor line 65 connected to the output electrode 46 of the preceding stage. The amplifier is of high frequency power having impedance set within the range of a point A (0.7

COPYRIGHT: (C)2000,JPO

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-244263

(P2000-244263A)

(43) 公開日 平成12年9月8日(2000.9.8)

(51) Int.Cl.⁷

H 0 3 F 3/60

識別記号

F I

H 0 3 F 3/60

テームト* (参考)

5 J 0 6 7

審査請求 未請求 請求項の数1 OL (全7頁)

(21) 出願番号 特願平11-46622

(22) 出願日 平成11年2月24日(1999.2.24)

(71) 出願人 000006633

京セラ株式会社

京都府京都市伏見区竹田烏羽殿町6番地

(72) 発明者 藤井 靖人

京都府相楽郡精華町光台3丁目5番地 京

セラ株式会社中央研究所内

Fターム(参考) 5J067 AA01 AA04 AA41 CA36 CA92

FA19 HA11 HA24 HA25 HA29

HA33 KA12 KA29 KS11 LS12

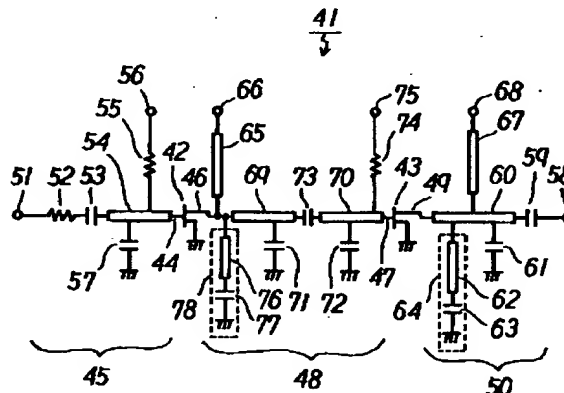
MA08 SA14 TA02

(54) 【発明の名称】 高周波用電力増幅器

(57) 【要約】

【課題】 出力整合回路の高調波制御を行ないつつ高周波用電力増幅器のさらなる高効率化を図ることが困難であった。

【解決手段】 2段構成の高周波増幅部42・43と、前段の入力電極42に接続された入力整合回路45と、段間整合回路48と、後段の出力電極49に接続された出力整合回路50と、前段の出力電極46に接続された分布定数線路65から成るバイアス回路とを具備し、段間整合回路48およびバイアス回路により、前段の高周波増幅部42の出力電極46から後段の高周波増幅部43側を見た基本周波数に対するインピーダンスをポラーチャート上でそれぞれ点A ($0.7 \angle 160^\circ$)・点B ($0.4 \angle 160^\circ$)・点C ($0.4 \angle 200^\circ$)・点D ($0.7 \angle 200^\circ$)の範囲内に設定した高周波用電力増幅器である。小型化を図りつつさらに高効率な電力増幅を行なうことができる。



THIS PAGE BLANK (USPTO)

【特許請求の範囲】

【請求項1】 入力電極からの高周波信号を増幅して出力電極より送出する2段構成の高周波電力増幅部と、前段の高周波電力増幅部の前記入力電極に接続された入力整合回路と、前記前段の高周波電力増幅部と後段の高周波電力増幅部との間に接続された、分布定数線路およびコンデンサから成る段間整合回路と、前記後段の高周波電力増幅部の前記出力電極に接続された出力整合回路と、前記前段の高周波電力増幅部と前記段間整合回路との間に接続された、分布定数線路から成る直流電流バイアス回路とを具備し、前記段間整合回路および前記直流電流バイアス回路により、前記前段の高周波電力増幅部の前記出力電極から前記後段の高周波電力増幅部側を見た前記高周波信号の基本周波数に対するインピーダンスをボラーチャート上において点A ($0.7 \angle 160^\circ$)・点B ($0.4 \angle 160^\circ$)・点C ($0.4 \angle 200^\circ$)・点D ($0.7 \angle 160^\circ$)で囲まれた範囲内に設定したことを特徴とする高周波用電力増幅器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は携帯電話等の移動体通信などにおいて高周波信号の送信用に使用される高周波用電力増幅器に関する。

【0002】

【従来の技術】近年、アナログあるいはデジタル携帯電話を始めとする移動体通信機等に使用される半導体デバイスや電子部品に対する小型化・軽量化の要望が強くなっており、特に、これらの機器においてマイクロ波帯等の高周波信号を送信するために増幅する高周波用電力増幅器に対する高効率化・小型化・軽量化の要望がますます強くなっている。

【0003】このような高周波用電力増幅器の回路設計にあたっては、例えば高周波電力用トランジスタを中心として構成される出力部回路について高周波信号の基本波の周波数成分だけではなく高調波の周波数成分まで考慮して設計すれば、基本波だけを考慮して設計する場合に比べて高周波用電力増幅器をより高効率で動作させることができることから、そのような設計による高周波用電力増幅器が既に実用化されている。

【0004】従来、高周波用電力増幅器に使用される高周波増幅部としての高周波トランジスタの出力端である出力電極（ドレイン電極）に対し、高周波信号の基本周波数でのインピーダンスの整合を得ることに加えて、基本周波数の偶数倍の周波数の高調波成分に対してインピーダンスを零にするという最適効率条件を実現することが提案されている。

【0005】図3は、そのような従来の高周波用電力増幅器の例を示す回路図である。図3に示す高周波用電力増幅器1は、2段構成の高周波用電力増幅器として所定の値の比誘電率を有する誘電体基板（図示せず）上に構

成されており、前段の高周波トランジスタ2および後段の高周波トランジスタ3と、前段の高周波トランジスタ2の入力電極であるゲート電極（制御電極）4に接続された入力整合回路5と、前段の高周波トランジスタ2の出力電極であるドレイン電極6と後段の高周波トランジスタ3の入力電極であるゲート電極7との間に接続された段間整合回路8と、後段の高周波トランジスタ3の出力電極であるドレイン電極9に接続された出力整合回路10とを備えている。

10 【0006】入力整合回路5において、高周波トランジスタ2のゲート電極4には、入力端子11との間に発振防止抵抗12と入力側直流阻止コンデンサ13が接続されている。

20 【0007】また、入力端子11に接続される入力回路とのインピーダンス整合を最適なものとするための分布定数線路である入力側マイクロストリップ線路14が接続されている。この入力側マイクロストリップ線路14は、抵抗15を介してゲートバイアス電圧供給端子16に接続されており、また、入力整合用コンデンサ17を介して接地されている。

【0008】一方、出力整合回路10においては、高周波トランジスタ3のドレイン電極9には、出力端子18との間に出力側直流阻止コンデンサ19が接続されている。また、出力端子18に接続される外部回路とのインピーダンス整合を最適なものとして所望の出力特性に整合をとるための分布定数線路である出力側マイクロストリップ線路20が接続されており、この出力側マイクロストリップ線路20は出力整合用コンデンサ21を介して接地されている。

30 【0009】さらに、高周波トランジスタ3のドレイン電極9と出力側マイクロストリップ線路20には、接地に対して直列に接続されたマイクロストリップ線路22とコンデンサ23とが接続されている。このマイクロストリップ線路22とコンデンサ23とから成る回路24は、高周波信号の2次高調波に対する出力インピーダンスを、基本波に対する出力インピーダンスに影響を与えることなく独立して制御することができ、2次高調波出力制御回路24として機能するものである。

40 【0010】この例における出力整合回路10は、これら出力側マイクロストリップ線路20および出力整合用コンデンサ21、ならびに2次高調波出力制御回路24により構成されている。

【0011】また、前段の高周波トランジスタ2のドレイン電極6には、ドレイン電極6に直流電流を供給するためのバイアス回路として、分布定数線路であるドレイン線路25を介してドレインバイアス電圧供給端子26が接続され、また、後段の高周波トランジスタ3のドレイン電極9には、ドレイン電極9に直流電流を供給するためのバイアス回路として、分布定数線路であるドレイン線路27を介してドレインバイアス電圧供給端子28が、出力

THIS PAGE BLANK (USPTO)

側マイクロストリップ線路20に接続される等して接続されている。

【0012】一方、段間整合回路8においては、前段の高周波トランジスタ2のドレイン電極6と後段の高周波トランジスタ3のゲート電極7との間には、両高周波トランジスタ2・3間のインピーダンス整合を最適なものとして所望の段間整合特性に整合をとるための分布定数線路である段間整合マイクロストリップ線路29および30が接続されており、これら段間整合マイクロストリップ線路29・30はそれぞれ段間整合コンデンサ31・32を介して接地されている。

【0013】また、段間整合マイクロストリップ線路29・30間には直流阻止コンデンサ33が接続されている。さらに、後段の高周波トランジスタ3のゲート電極7に接続されている段間整合マイクロストリップ線路30には、抵抗34を介してゲートバイアス電圧供給端子35が接続されている。

【0014】従来の高周波用電力増幅器1においては、このような構成により、段間整合回路8は前段の高周波トランジスタ2に対してA級バイアスになるように設定され、前段にてゲイン特性をカバーし後段にて効率を改善するA級+AB級の増幅回路を構成し、高効率化を行っていた。

【0015】

【発明が解決しようとする課題】しかしながら、高利得の電力増幅を行なうために2段構成あるいはそれ以上の多段構成とした高周波用電力増幅器についても、前述のように高効率化および小型化の要求が強まっているのに対し、上記のような従来の高周波用電力増幅器1の構成では、前段の高周波トランジスタ2をA級バイアスにすることから、電力増幅の効率を飛躍的に改善することが困難であり、さらなる高効率化の要求に対して十分に 대응できないという問題点があった。

【0016】本発明は上記問題点に鑑みて案出されたものであり、その目的は、電力増幅の高効率化を容易に行なうことができる多段構成の高周波用電力増幅器を提供することにある。

【0017】

【課題を解決するための手段】本発明の高周波用電力増幅器は、入力電極からの高周波信号を増幅して出力電極より送出する2段構成の高周波電力増幅部と、前段の高周波電力増幅部の前記入力電極に接続された入力整合回路と、前記前段の高周波電力増幅部と後段の高周波電力増幅部との間に接続された、分布定数線路およびコンデンサから成る段間整合回路と、前記後段の高周波電力増幅部の前記出力電極に接続された出力整合回路と、前記前段の高周波電力増幅部と前記段間整合回路との間に接続された、分布定数線路から成る直流電流バイアス回路とを具備し、前記段間整合回路および前記直流電流バイアス回路により、前記前段の高周波電力増幅部の前記出

力電極から前記後段の高周波電力増幅部側を見た前記高周波信号の基本周波数に対するインピーダンスをボラーチャート上において点A ($0.7 \angle 160^\circ$)・点B ($0.4 \angle 160^\circ$)・点C ($0.4 \angle 200^\circ$)・点D ($0.7 \angle 160^\circ$)で囲まれた範囲内に設定したことを特徴とするものであり、以上の構成により上記課題を解決するものである。

【0018】

【発明の実施の形態】以下、本発明の高周波用電力増幅器を図面に基づき説明する。図1は本発明の高周波用電力増幅器の実施の形態の一例を示す回路図である。

【0019】図1において、本発明の高周波用電力増幅器41は、2段構成の高周波用電力増幅器として所定の値の比誘電率を有する誘電体基板(図示せず)上に構成されており、前段の高周波増幅部としての高周波トランジスタ42および後段の高周波増幅部としての高周波トランジスタ43と、前段の高周波トランジスタ42の入力電極であるゲート電極(制御電極)44に接続された、高周波入力信号の基本周波数に対して入力インピーダンス整合をとるための入力整合回路45と、前段の高周波トランジスタ42の出力電極であるドレイン電極46と後段の高周波トランジスタ43の入力電極であるゲート電極47との間に接続された、両高周波トランジスタ42・43間のインピーダンス整合をとるための段間整合回路48と、後段の高周波トランジスタ43の出力電極であるドレイン電極49に接続された、所望の出力特性に整合をとるための出力整合回路とを具備している。

【0020】入力整合回路45において、前段の高周波トランジスタ42のゲート電極44には、入力端子51との間に発振防止抵抗52と入力側直流阻止コンデンサ53が接続されている。また、ゲート電極44には、入力端子51に接続される入力回路とのインピーダンス整合を最適なものとするための分布定数線路である入力側マイクロストリップ線路54が接続されている。この入力側マイクロストリップ線路54は、抵抗55を介してゲートバイアス電圧供給端子56に接続されており、また、入力整合用コンデンサ57を介して接地されている。

【0021】一方、出力整合回路50においては、後段の高周波トランジスタ43のドレイン電極49には、出力端子58との間に出力側直流阻止コンデンサ59が接続されている。

【0022】また、出力端子58に接続される外部回路とのインピーダンス整合を最適なものとして所望の出力特性、例えば歪み特性・出力電力・消費電流等を単独であるいは同時に満足するように整合をとるために、分布定数線路である出力側マイクロストリップ線路60が接続されており、この出力側マイクロストリップ線路60は出力整合用コンデンサ61を介して接地されている。

【0023】さらに、後段の高周波トランジスタ43のドレイン電極49と出力側マイクロストリップ線路60には、



THIS PAGE BLANK (USPTO)

接地に対して直列に接続されたマイクロストリップ線路62とコンデンサ63とが接続されている。このマイクロストリップ線路62とコンデンサ63とから成る回路64は、高周波信号の高次高調波、例えば2次高調波に対する出力インピーダンスを基本波に対する出力インピーダンスに影響を与えることなく独立して制御することができ、2次高調波出力制御回路64として機能するものである。

【0024】この例における出力整合回路50は、これら出力側マイクロストリップ線路60および出力整合用コンデンサ61、ならびに2次高調波出力制御回路64により構成されている。

【0025】また、前段の高周波トランジスタ42のドレイン電極46には、ドレイン電極46に直流電流を供給するためのバイアス回路として、分布定数線路であるドレイン線路65を介してドレインバイアス電圧供給端子66が接続され、また、後段の高周波トランジスタ43のドレイン電極49には、ドレイン電極49に直流電流を供給するためのバイアス回路として、分布定数線路であるドレイン線路67を介してドレインバイアス電圧供給端子68が、出力側マイクロストリップ線路60に接続される等して接続されている。

【0026】一方、段間整合回路48においては、前段の高周波トランジスタ42のドレイン電極46と後段の高周波トランジスタ43のゲート電極47との間には、両高周波トランジスタ42・43間のインピーダンス整合を最適なものとして所望の段間整合特性に整合をとるための分布定数線路である段間整合マイクロストリップ線路69および70が接続されており、これら段間整合マイクロストリップ線路69・70はそれぞれ段間整合コンデンサ71・72を介して接地されている。

【0027】また、段間整合マイクロストリップ線路69・70間には直流阻止コンデンサ73が接続されている。さらに、後段の高周波トランジスタ43のゲート電極47に接続されている段間整合マイクロストリップ線路70には、抵抗74を介してゲートバイアス電圧供給端子75が接続されている。

【0028】さらに、この例においては、前段の高周波トランジスタ42のドレイン電極46と段間整合マイクロストリップ線路69との間には、接地に対して直列に接続された分布定数線路、例えばマイクロストリップ線路76とコンデンサ77とが接続されている。このマイクロストリップ線路76とコンデンサ77とから成る回路78は、高周波入力信号の基本周波数に対する後段の高周波トランジスタ43側の段間入力インピーダンスを制御することができるものであり、段間入力制御回路78として機能するものである。

【0029】このような段間入力制御回路78は、段間整合回路48において必ずしも必要とされるものではないが、前段の高周波トランジスタ42に近い所にこのような段間入力制御回路78を設けることで段間入力インピーダ

ンスの制御が容易となるので、このように形成することが好ましいものである。

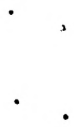
【0030】この例では、これら段間整合マイクロストリップ線路69・70および段間整合コンデンサ71・72、ならびに段間入力制御回路78により段間整合回路48が構成されている。

【0031】そして、本発明の高周波用電力増幅器41においては、これら段間整合回路48を構成する段間整合マイクロストリップ線路69・70および段間整合用コンデンサ71・72と、バイアス回路を構成するドレイン線路65と、段間入力制御回路78とにより、基本周波数の段間入力インピーダンス、すなわち前段の高周波トランジスタ42のドレイン電極46から後段の高周波トランジスタ43側を見た高周波入力信号の基本周波数に対するインピーダンスを所定の範囲、すなわちボラーチャート上において点A ($0.7 \angle 160^\circ$)・点B ($0.4 \angle 160^\circ$)・点C ($0.4 \angle 200^\circ$)・点D ($0.7 \angle 200^\circ$)で囲まれた範囲内に設定したことを特徴とするものであり、これにより従来の2段構成の高周波用電力増幅器1よりも高効率な電力増幅を行なうことができる。これは、この範囲内に設定することで、前段の高周波トランジスタ42をAB級動作に近くすることで消費電流が低減することを見出したことに基づくものである。

【0032】ここで、ボラーチャートとは、インピーダンス平面における定抵抗線と定リアクタンス線を反射係数平面上に描き直した、スミスチャートと同様のインピーダンスチャートであり、スミスチャートにおけるインピーダンスをベクトルとして $|\Gamma| \angle \theta$ （ただし、 Γ は反射係数、 θ は位相）で表現したものである。

【0033】本発明の高周波用電力増幅器41においては、図2に示すボラーチャート上において、基本周波数の段間入力インピーダンスを点A ($0.7 \angle 160^\circ$)・点B ($0.4 \angle 160^\circ$)・点C ($0.4 \angle 200^\circ$)・点D ($0.7 \angle 200^\circ$)で囲まれた範囲内（図2中で斜線を施した範囲内）に設定している。なお、図2に示すボラーチャートにおいて、円の中心は反射係数 $|\Gamma|$ が0で、反射係数 $|\Gamma|$ は円が大きくなるほど同心円状に大きくなり、一番外側の円が1.0となる。また、位相 θ は円の中心から右向きの横軸を $\theta = 0^\circ$ とし、これを基準に反時計回りに 90° 毎に $\theta = 90^\circ$ 、 180° 、 270° 、 (360°) としている。すなわち、このボラーチャートによれば、点A ($0.7 \angle 160^\circ$)は、反射係数 $|\Gamma|$ が0.7で位相 θ が 160° ということとなる。

【0034】そして、基本周波数に対する段間入力インピーダンスを点A～点Dで囲まれた範囲内に設定するには、図1に示す本発明の高周波用電力増幅器41において、段間整合回路48の分布定数線路である段間整合マイクロストリップ線路69・70の線路長およびコンデンサである段間整合コンデンサ71・72の容量値と、前段のバイアス回路の分布定数線路であるドレイン線路65の線路長



THIS PAGE BLANK (USPTO)

と、段間入力制御回路78のマイクロストリップ線路76の線路長およびコンデンサ77の容量値を調整すればよい。これにより前段の高周波トランジスタ42のドレイン電極46から後段の高周波トランジスタ43側を見た高周波入力信号の基本周波数に対するインピーダンスを上記点A～点Dで囲まれた所望の範囲内の値に設定することができる。

【0035】例えば、段間整合マイクロストリップ線路69・70の線路長を短くすると、基本周波数に対する段間入力インピーダンスは位相が大きくなって位相 θ が図2のボラーチャートにおいて反時計回りの方向に移動し、その結果、消費電流は低減され効率は改善されるが、歪み特性が劣化することとなる。他方、段間整合マイクロストリップ線路69・70の線路長を長くすると、基本周波数に対する段間入力インピーダンスは位相が小さくなって位相 θ が図2のボラーチャートにおいて時計回りの方向に移動し、その結果、歪み特性は良くなるが、消費電流が増加して効率が悪化することとなる。また、反射係数 $|\Gamma|$ は、例えば段間整合コンデンサ71・72の容量値を大きくすると大きくなり、小さくすると小さくなることから、これら段間整合コンデンサ71・72の容量値により調整することができる。

【0036】ここで、基本周波数に対する段間入力インピーダンスを上記の点A～点Dで囲まれた範囲内に設定するのは、点Aと点Bとを結ぶ直線（位相 $\theta=160^\circ$ ）より位相 θ が時計回りの方向に移動する（小さくなる）と歪み特性が急激に悪くなる傾向があり、他方、点Cと点Dとを結ぶ直線（位相 $\theta=200^\circ$ ）より位相 θ が反時計回りの方向に移動する（大きくなる）と消費電流が急激に増加する傾向があるからである。また、点Aと点Dとを結ぶ曲線（反射係数 $|\Gamma|=0.7$ ）を越えて反射係数 $|\Gamma|$ が大きくなると増幅が安定しなくなるからであり、点Bと点Cとを結ぶ曲線（反射係数 $|\Gamma|=0.4$ ）を越えて反射係数 $|\Gamma|$ が小さくなると歪み特性が急激に悪くなる傾向があるからである。従って、基本周波数に対する段間入力インピーダンスを図2中で斜線を施した点A～点Dで囲まれた範囲内に設定することにより、良好な電力増幅特性を得ることができる。

【0037】本発明の高周波用電力増幅器41に用いられる高周波増幅部42・43としては、例えば高周波トランジスタ42・43として入力電極であるゲート電極44・47に供給された高周波入力信号を増幅して出力電極であるドレイン電極46・49より高周波出力信号として出力する一般的な高周波トランジスタ、例えばGaAsMESFET等を使用することができる。また、各高周波増幅部42・43内を他の高周波増幅回路や、多段構成の高周波トランジスタを用いた増幅回路で構成してもよい。

【0038】図1に示すように前段の高周波増幅部42として高周波トランジスタ42を用いた場合であれば、その基本周波数におけるドレイン効率・利得および歪み特性

等の最適なインピーダンス（入力インピーダンス Z_{in} ・出力インピーダンス Z_{out} ）は、ロードプル測定等を用いれば一義的に求めることができる。

【0039】例えば、電源電圧3.5V・入力電力5dBm・周波数942.5MHzの条件下で、比誘電率8.1の誘電体基板上で942.5MHzに対して、バイアス回路を構成するドレイン線路65の線路長をほぼ $\lambda/4$ （4分の1波長）に相当する35mmに調整すれば、各インピーダンスの最適インピーダンスは、それぞれ $Z_{in}=0.82\angle 120^\circ$ および $Z_{out}=0.50\angle -175^\circ$ である。

【0040】このように、本発明の高周波用電力増幅器は、入力電極に供給された高周波入力信号を増幅し出力電極より高周波出力信号として出力する2段構成の高周波電力増幅部と、前段の高周波電力増幅部の前記入力電極に接続され、前記高周波入力信号の基本周波数に対して入力インピーダンス整合をとるための入力整合回路と、前記前段の高周波電力増幅部の前記出力電極と後段の高周波電力増幅部の前記入力電極との間に接続され、両高周波電力増幅部間のインピーダンス整合をとるための分布定数線路およびコンデンサから成る段間整合回路と、前記後段の高周波電力増幅部の前記出力電極に接続され、所望の出力特性に整合をとるための出力整合回路と、前記前段の高周波電力増幅部の前記出力電極に接続され、直流電流を供給するための分布定数線路から成るバイアス回路とを具備し、前記段間整合回路および前記バイアス回路により、前記前段の高周波電力増幅部の前記出力電極から前記後段の高周波電力増幅部側を見た前記高周波入力信号の基本周波数に対するインピーダンスをボラーチャート上において点A（ $0.7\angle 160^\circ$ ）・点B（ $0.4\angle 160^\circ$ ）・点C（ $0.4\angle 200^\circ$ ）・点D（ $0.7\angle 160^\circ$ ）で囲まれた範囲内に設定したことを特徴とするものである。

【0041】以上の結果、本発明の高周波用電力増幅器41によれば、従来の高周波用電力増幅器1に比較して、従来と同様に後段の高周波トランジスタ43の高効率化を行なうだけでなく、段間整合回路48により前段の高周波トランジスタ42の高効率化も同時に行なうことにより、2段構成の増幅器あるいはそれ以上の多段構成の増幅器として総合的に効率の向上を行なった高周波用電力増幅器が提供できるものとなる。

【0042】なお、本発明は以上の実施の形態の例に限定されるものではなく、本発明の要旨を逸脱しない範囲で種々の変更や改良を施すことは何ら差し支えない。例えば、上記の実施の形態の例では入力整合回路45・段間整合回路48・出力整合回路50・バイアス回路を構成する分布定数線路としてそれぞれ入力側マイクロストリップ線路54・段間整合マイクロストリップ線路69・70・出力側マイクロストリップ線路60・ドレイン線路65・67を用いた例を示したが、これら分布定数線路には誘電体基板内に形成されたストリップ線路を用いてもよいことは言

THIS PAGE BLANK (USPTO)

うまでもない。

【0043】また、ドレイン線路65・67には空芯コイルを用いてもよい。

【0044】

【発明の効果】以上のように、本発明の高周波用電力増幅器によれば、前段の高周波増幅部の出力電極と後段の高周波増幅部の入力電極との間に接続された、分布定数線路およびコンデンサから成る段間整合回路および分布定数線路から成る直流電流バイアス回路により、ならびに適宜付加すればよい段間入力制御回路により、それらの分布定数線路の線路長およびコンデンサの容量値を調整することによって、前段の高周波増幅部の出力電極から後段の高周波増幅部側を見た基本周波数に対するインピーダンスをポラーチャート上において点A ($0.7 \angle 160^\circ$)・点B ($0.4 \angle 160^\circ$)・点C ($0.4 \angle 200^\circ$)・点D ($0.7 \angle 200^\circ$)で囲まれた範囲内に設定したことから、従来の多段構成の高周波用電力増幅器よりもさらに高効率な電力増幅を行なうことができ、しかも、特に回路を大型化させることもないため高効率化とともに小型化の要求にも応えることができるものとなる。

【0045】以上により、本発明によれば、電力増幅の高効率化を容易に行なうことができる多段構成の高周波用電力増幅器を提供することができた。

【図面の簡単な説明】

【図1】本発明の高周波用電力増幅器の実施の形態の例を示す回路図である。

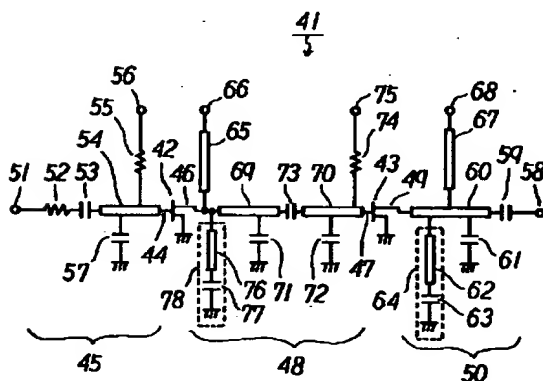
【図2】本発明の高周波用電力増幅器における前段の高周波増幅部の出力電極から後段の高周波増幅部側を見た基本周波数に対するインピーダンスを示すポラーチャートである。

【図3】従来の高周波用電力増幅器の例を示す回路図である。

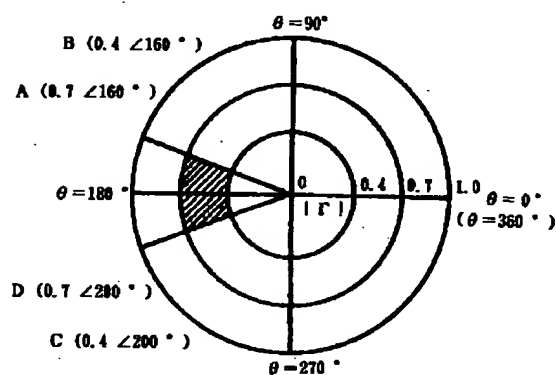
【符号の説明】

- 10 41・・・高周波用電力増幅器
- 42・・・前段の高周波トランジスタ（高周波増幅部）
- 43・・・後段の高周波トランジスタ（高周波増幅部）
- 44、47・・・ゲート電極（入力電極）
- 46、49・・・ドレイン電極（出力電極）
- 45・・・入力整合回路
- 48・・・段間整合回路
- 69、70・・・段間整合マイクロストリップ線路（分布定数線路）
- 20 71、72・・・段間整合コンデンサ（コンデンサ）
- 50・・・出力整合回路
- 65、67・・・バイアス回路のドレイン線路（分布定数線路）

【図1】

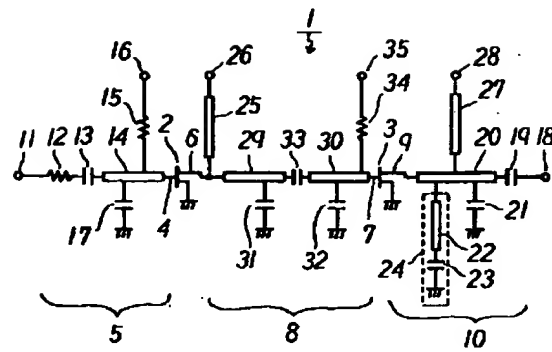


【図2】



THIS PAGE BLANK (USPTO)

【図3】



THIS PAGE BLANK (USPTO)

PAT-NO: FR002683686A1

DOCUMENT-IDENTIFIER: FR 2683686 A1

TITLE: Microwave power amplifier

PUBN-DATE: May 14, 1993

INVENTOR-INFORMATION:

NAME	COUNTRY
FELIX, PETZ	N/A
ANTON	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
EUROP AGENCE SPATIALE	FR

APPL-NO: FR09113731

APPL-DATE: November 7, 1991

PRIORITY-DATA: FR09113731A (November 7, 1991)

INT-CL (IPC): H03F003/193;H03F003/217 ;H03H007/12

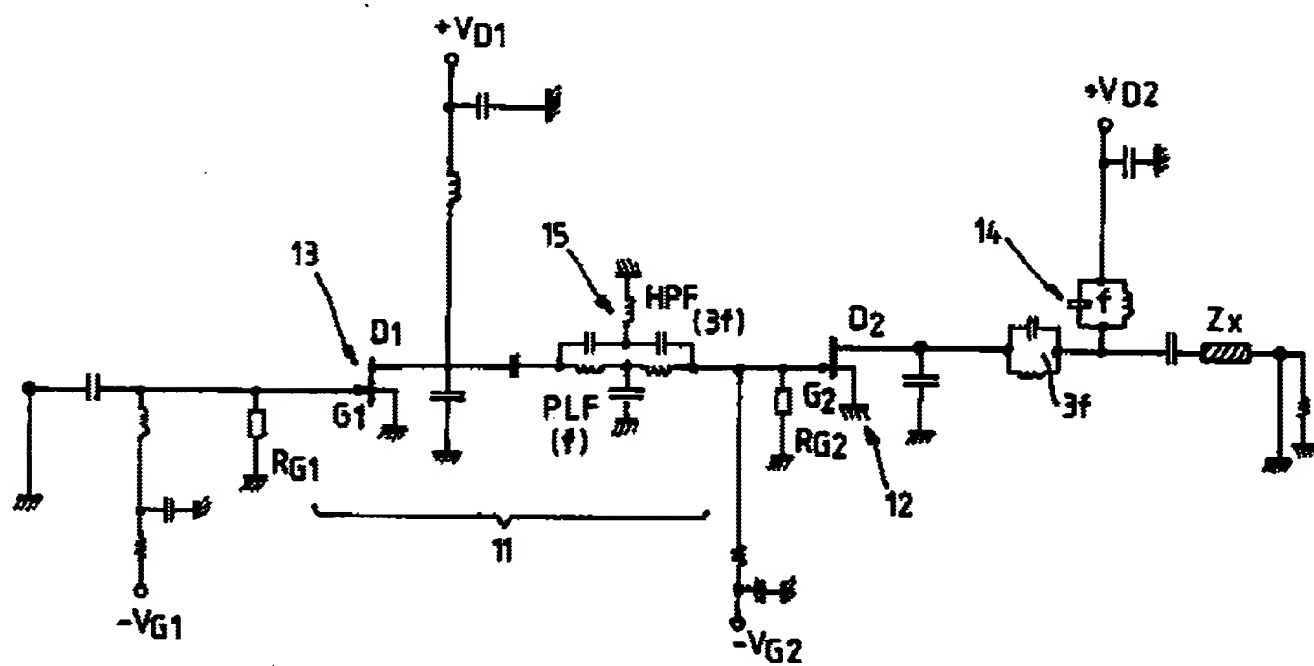
EUR-CL (EPC): H03F003/193

US-CL-CURRENT: 330/302

ABSTRACT:

An amplifier comprising a first transistor (12) working in switching regime, in which the gate (G2) is driven by the signal produced by a square-wave pulse generator (11). The latter consists of a second transistor (13) the gate (G1) of which is connected to the input terminal of the power amplifier (10) and of a coupling network (15) connected between the drain (D1) of the second transistor (13) and the gate (G2) of the first transistor (12), the coupling network (15) being arranged to form an essentially ohmic load impedance for the fundamental frequency and the odd harmonics and to form a short-circuit for the even harmonics. This amplifier is used especially in the field of communication by satellite. <IMAGE>

THIS PAGE BLANK (USPTO)



THIS PAGE BLANK (USPTO)

CLIPPEDIMAGE= JP409018255A

PAT-NO: JP409018255A

DOCUMENT-IDENTIFIER: JP 09018255 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: January 17, 1997

INVENTOR-INFORMATION:

NAME

TSUNODA, YUJI

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP07165215

APPL-DATE: June 30, 1995

INT-CL (IPC): H03F003/60;H01P005/02

ABSTRACT:

PURPOSE: To efficiently generate a high frequency power with limited battery capacity and voltage by approximating the power amplification efficiency of an amplifier, which requires making small-sized and light-weight, of a mobile body communication machine or the like to an ideal value obtained by the class 'E' operation as much as possible.

CONSTITUTION: In the amplification circuit of FETs connected in many stages, a resonance circuit is inserted to the transmission line of an inter-stage matching circuit corresponding to the input of an FET 2 to short-circuit the harmonic components of a fundamental wave $f_{>0}</>$. For the purpose of realizing the harmonic processing, an output matching circuit is provided with a distribution constant line which reflects harmonic components $2f_{>0}</>$ and $3f_{>0}</>$ by short stubs 8 and 9 respectively and inversely charges them to the drain terminal of the FET 2. Consequently, the distribution constant line 4 and a capacitor 3 provided on the gate side of the FET 2 function as a short stub for $2f_{>0}</>$ and become a resonance circuit, thus

THIS PAGE BLANK (USPTO)

effectively
achieving the harmonic processing which improves the drain efficiency
furthermore.

COPYRIGHT: (C)1997,JPO

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-18255

(43) 公開日 平成9年(1997)1月17日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 F 3/60			H 0 3 F 3/60	
H 0 1 P 5/02	6 0 3		H 0 1 P 5/02	6 0 3 A

審査請求 有 請求項の数 3 O L (全 4 頁)

(21) 出願番号 特願平7-165215

(22) 出願日 平成7年(1995)6月30日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 角田 雄二

東京都港区芝五丁目7番1号 日本電気株式会社社内

(74) 代理人 弁理士 京本 直樹 (外2名)

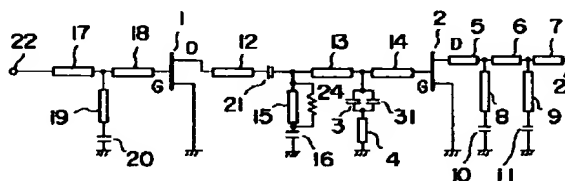
(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 移動体通信機等の小型・軽量化を必要とする増幅器の電力増幅効率を、F級動作で得られる理想値にできる限り近づけて、限られた電池容量、電圧から高効率で高周波電力を発生する。

【構成】 多段に接続したFETの増幅回路において、FET2の入力に相当する段間整合回路の伝送線路に、共振回路を挿入し、基本波 f_0 の高調波成分を短絡する。出力整合回路は高調波処理を実現するために、ショートスタブ8で $2f_0$ を、ショートスタブ9で $3f_0$ の高調波成分を反射し、FET2のドレイン端子に逆注入させる分布定数線路が設けてある。

【効果】 FET2のゲート側に設けた分布定数線路4とキャパシタ3は、 $2f_0$ のショートスタブとして機能し、共振回路となって、ドレイン効率をさらに高める高調波処理を効果的に達成する。



1, 2 FET

3, 31 キャパシタ

4, 5 分布定数線路

22 入力端子

23 出力端子

24 抵抗

THIS PAGE BLANK (USPTO)

【特許請求の範囲】

【請求項1】 入力整合回路及び出力整合回路をもつ電界効果トランジスタを多段に接続した増幅回路において、前記電界効果トランジスタの入力整合回路の伝送線路に偶数次高周波に対して短絡面を構成するために供される共振回路を有することを特徴とする半導体装置。

【請求項2】 前記電界効果トランジスタの入力整合回路の伝送線路と接地との間に、偶数次高周波に対して短絡面を構成するために供される分布定数線路とキャパシタの直列回路を有することを特徴とする請求項1記載の半導体装置。

【請求項3】 前記電界効果トランジスタの入力整合回路の伝送線路に、偶数次高調波に対して短絡面を構成するために供される先端開放の分布定数線路を有することを特徴とする請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置に関し、特にUHF帯で高効率増幅を得られるようにする半導体装置に関する。

【0002】

【従来の技術】図3は「900メガヘルツタイガリウムヒソコウコウリツデンリョクゾウフクキ」コオジチバ他エムダブリュ83-24(900MHz帯GaAs高効率電力増幅器MW83-24電子情報通信学会技術研究報告1983年)に示された従来の電界効果トランジスタ(以下FETと略す)を用いた半導体装置の回路図である。リース接地されたFET1及び2はそれぞれゲート端子G、ソース端子S、ドレイン端子Dを有している。分布定数線路5、6、22、23、段間整合回路22、入力整合回路23、分布定数線路5、6及びオープンスタブ8、9は出力整合回路を成している。

【0003】この回路によれば、増幅しようとする基本周波数 f_0 に対し、分布定数線路5、6、22、23とショートスタブ8、9の長さや巾を調整して特性インピーダンスを変え、最適な整合条件を得ている。さらに分布定数線路5、6とオープンスタブ8、9で構成する出力整合回路では、分布定数線路5とオープンスタブ8によりFET2のドレイン端で基本波の3倍の周波数 $3f_0$ において無限大インピーダンスに近い負荷条件が与えられており、さらに分布定数線路5、6とオープンスタブ8、9により、基本波の2倍の周波数 $2f_0$ が短絡に近い負荷条件が与えられている。

【0004】このため基本波の2倍、3倍の周波数成分は本来不要なふく射ではあるが、出力整合回路で反射され再びFET2のドレイン端子Dに逆注入され基本波成分に重畳される、いわゆる高調波処理が実現される。従って、この回路によれば $2f_0$ 、 $3f_0$ の処理がされない増幅回路に比べて30%以上高いドレイン効率を得ている。移動体通信機等の小型・軽量化が必須のUHF帯

電力増幅器ではこのような技術を用いて限られた電池容量・電圧から効率良く高周波電力を発生させている。

【0005】

【発明が解決しようとする課題】この従来の半導体装置の回路では、出力側整合回路素子だけで f_0 に対するインピーダンス整合と $2f_0$ に対する短絡、 $3f_0$ に対する開放の条件を実現しなければならず、精度良く理想的な負荷条件を達成することが非常に難しく、現実には f_0 の整合と $2f_0$ 、 $3f_0$ の処理は不完全な状態で動作させざるを得ない。特に移動体通信機のような1W近くの高周波出力電力を発生させるFETでは、入出力間のアイソレーションが悪いため無視出来ないため、出力整合条件と入力整合条件を完全独立に与えられない。すなわち、出力側整合回路の負荷条件だけでなく、入力側整合回路に対しても何らかの高調波処理が高効率化にとって不可欠となる。

【0006】

【課題を解決するための手段】この発明に係る半導体装置の入出力整合回路をもつFETを多段に接続した増幅回路では、出力整合回路だけでなく、入力整合回路の伝送線路にも、偶数次高調波、特に基本波の2倍の周波数成分 $2f_0$ をFETの入力端子で短絡するために供される共振回路を備えている。

【0007】

【実施例】次に本発明について図面を参照して説明する。

【0008】図1は本発明の一実施例の半導体装置の回路図である。1及び2はリース接地されたFETでそれぞれゲート端子G、ドレイン端子D、リース端子Sを有している。5、6、7、8、9は分布定数線路であり、10、11は8及び9を高周波的に短絡するキャパシタである。以上5、6、7、8、9、10、11の要素は出力整合回路を構成し、FET2のドレイン端子に接続されている。また12、13、14、15、及び3は分布定数線路であり、3と16はそれぞれ4と15を短絡するキャパシタである。以上3、4、12、13、14、15は段間整合回路、すなわち、FET2の入力整合回路を構成し、FET1のドレイン端子とFET2のゲート端子間に接続されている。また17、18、19は分布定数線路であり、20は19を短絡するキャパシタである。以上17、18、19、20は入力整合回路を構成しFET1のゲート端子に接続されている。21はFET1とFET2の間の直流を阻止するキャパシタである。

【0009】この半導体装置の入力端子22から供給された周波数 f_0 の高周波信号は入力整合回路によって少ない損失でFET1のゲート端子Gに伝達され効果的に増幅されドレイン端子Dに現われる。段間整合回路及び出力整合回路も同様に少ない損失で、又は大きな出力電力を得るべく効果的に高周波信号を伝達するよう、 f_0

THIS PAGE BLANK (USPTO)

に対して整合されている。

【0010】また分布定数線路5、6とキャパシタ11で構成するショートスタブは、 $3f_0$ に対して無限大に近い高いインピーダンスをFET2のドレイン端子に与えかつ、分布定数線路5とキャパシタ10は $2f_0$ に対して短絡に近いインピーダンスを与える。さらに段間整合回路を構成する要素の中で、分布定数線路4とキャパシタ3、31はFET2のゲート端子に $2f_0$ が短絡に近いインピーダンスを与える。

【0011】この結果、出力端子23に発生する高周波成分がFET2に反射され、より理想的な高調波の重畳を達成し高い効率の増幅を実現する。例えば $\epsilon=9.8$ のアルミナセラミック基板を用いて900MHz帯の半導体装置を構成する場合は、分布定数線路4を巾120 μm 、長さ1.85mmの銅パタンで構成し、キャパシタ3を1000pF、キャパシタ31を4pFとすれば1005型チップコンデンサを用いても、効果的に基本波900MHzの2倍の高周波1.8GHzを処理することができる。

【0012】ここでキャパシタ3は基本波周波数に対して低いインピーダンスを達成するが、2倍の1.8GHz付近ではチップコンデンサの構造上インダクタ成分として影響を現わすので、キャパシタ31により高い周波数での低インピーダンスを補償している。

【0013】図2は本発明の第2の実施例の半導体装置の回路図である。この実施例では1はソース接地されたFET、2はゲート接地されたFETでカスコード型の増幅回路を構成している。入力整合回路及び出力整合回路の構成と動作は図1の実施例と同じであるが、段間整合回路すなわち、FET2の入力回路は12、13、4

タブとして機能している。

【0014】カスコード型増幅回路では一般に段間整合回路を設けず、前後段のFETを直接継ぐ場合が多いが、本実施例の整合回路では2倍波処理のため分布定数線路を使用している。オープンスタブ4は、FET2のリース端子において、 $2f_0$ が短絡に近いインピーダンスを与える。このため図1の実施例で示したショートスタブの場合と同様に、より理想的な高調波処理を達成し高い効率の増幅を実現する。

【0015】

【発明の効果】以上説明したように本発明は、FETの入力整合回路の伝送線路に偶数次高調波を短絡する共振回路を設けたので、出力側回路で実現される基本波 f_0 の整合、 $2f_0$ の短絡、 $3f_0$ の開放に加えて、入力側での $2f_0$ の短絡を実現している。このため、FETの出力負荷条件だけで達成していた高調波処理よりもさらに高いドレイン効率を得ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の回路図。

【図2】本発明の第2の実施例の回路図。

【図3】従来技術の半導体装置の回路図。

【符号の説明】

1, 2 電界効果トランジスタ

4, 5, 6, 7, 8, 9, 12, 13, 14, 15, 17, 18, 19分布定数線路

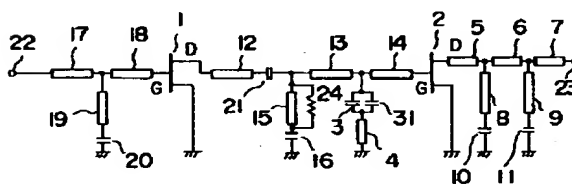
3, 10, 11, 16, 20, 21, 31 キャパシタ

22 入力端子

23 出力端子

24 抵抗

【図1】



1, 2 FET

3, 31 キャパシタ

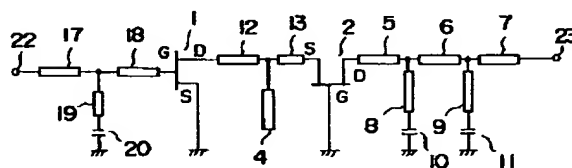
4, 5 分布定数線路

22 入力端子

23 出力端子

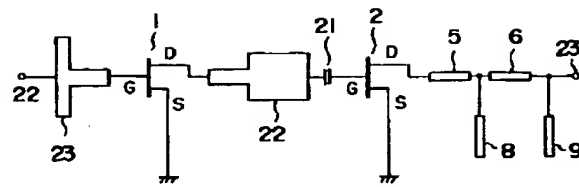
24 抵抗

【図2】



THIS PAGE BLANK (USPTO)

【図3】



1, 2 FET

5 分布定数回路

21 キャパシタ

22 入力端子

23 出力端子

THIS PAGE BLANK (USPTO)

출력 일자: 2003/4/30

발송번호 : 9-5-2003-015653289
Date made : 2003.04.29
제출기일 : 2003.06.29

수신 : 서울 종로구 수송동 80 대한재보험빌딩
5층
이병호 귀하

110-140

특허청 의견제출통지서

Notice of Preliminary Rejection

Applicant
출원인

명칭 미쓰비시덴키 가부시키가이샤 (출원인코드: 519980960919)

KAISHA
MITSUBISHI DENKI KABUSHIKI

주소 일본국 도쿄도 지요다구 마루노우치 2초메 2반 3고

대리인

성명 이병호

주소 서울 종로구 수송동 80 대한재보험빌딩 5층

Application No.
출원번호

10-2001-7012752

발명의 명칭

다단 증폭기

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서 또는/및 보정서를 제출하여 주시기 바랍니다. (상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 전항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

아래

본원 청구항은 입력 신호를 단계적으로 증폭하여 출력하는 다단 증폭기를 요지로 하고 있으나, 인용발명1에 기재된 2단구성의 트랜지스터1,2와 입출력 정합회로로 구성된 고주파용 전력 증폭기 및 인용발명2에 기재된 입출력 임피던스 정합회로 전/후단의 고주파전력용 트랜지스터1,2로 구성된 고주파 전력 증폭기 등에 관한 기술은, 본원이 해결하고자 하는 과제 및 목적이 매우 유사한 것으로 파악되고 있으며,

또한 본원의 핵심 구성 요소인 입력 정합회로, 출력 정합회로, 고역 저역 피터형 정합기, 다단 증폭기 등은 인용발명1,2에 매우 유사하게 제시되어 있는 바, 양자는 그 구성 및 효과 면에서도 매우 유사할 뿐만 아니라, 여타 구성상의 차이점은 당업자의 필요에 따라 선택적으로 채택할 수 있는 정도의 선택 사항 내지는 단순한 회로 변경에 의해 용이하게 달성될 수 있는 사항에 불과하여 그에 대한 구성의 곤란성도 인정되지 아니하므로, 본원발명은 당해 기술분야에서 통상의 지식을 가진 자가 용이하게 발명할 수 있는 것으로 인정됩니다.

[참부]

첨부 1 인용발명1:일본공개특허공보 평12-022461호(2000.01.21) 1부.
첨부2 인용발명2:일본공개특허공보 평10-270960호(1998.10.09) 1부. 끝.

Cited Reference

JP12-022461A
(2000)
JP10-270960A



THIS PAGE BLANK (USPTO)

출력 일자: 2003/4/30

2003.04.29

특허청

심사4국

전자심사담당관실

심사관 조천환



<<안내>>

귀하께서는 특허법제47조제2항의 규정에 의거 특허출원서에 최초로 첨부된 명세서 또는 도면에 기재된 사항의 범위 이내에
서 명세서 등을 보정할 수 있음을 알려드립니다. 문의사항이 있으시면 ☎ 042-481-5665 로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행
위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지(www.kipo.go.kr)내 부조리신고센터

THIS PAGE BLANK (USP10)

E P

P C T

国際調査報告

(法 8 条、法施行規則第 40、41 条)
〔P C T 1 8 条、P C T 規則 43、44〕

出願人又は代理人 の書類記号 5 2 1 6 1 1 B	今後の手続きについては、国際調査報告の送付通知様式(P C T / I S A / 2 2 0) 及び下記 5 を参照すること。	
国際出願番号 P C T / J P 0 0 / 0 0 6 8 2	国際出願日 (日. 月. 年) 0 8 . 0 2 . 0 0	優先日 (日. 月. 年)
出願人 (氏名又は名称) 三菱電機株式会社		

国際調査機関が作成したこの国際調査報告を法施行規則第 41 条 (P C T 1 8 条) の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 4 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない (第 I 欄参照)。

3. ☐ 発明の単一性が欠如している (第 II 欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☐ 出願人が提出したものを承認する。

☒ 第 III 欄に示されているように、法施行規則第 47 条 (P C T 規則 38.2(b)) の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から 1 カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 3 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

THIS PAGE BLANK (USPTO)

第Ⅲ欄 要約（第1ページの5の続き）

入力信号を段階的に増幅して出力する多段増幅器において、段間整合回路（26）を1段ハイパスフィルタ型整合器（28）と1段ローパスフィルタ型整合器（29）とを直列に接続して構成する。この構成は、多段増幅器の段間整合条件の最適化に有効であり、多段増幅器全体の効率が向上する。この多段増幅器は、衛星通信、地上マイクロ波通信、移動体通信などで送信信号および受信信号の増幅に好適である。

THIS PAGE BLANK (USPTO)

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl⁷ H03F 3/60, H03H 7/38

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H03F 1/00-1/56, H03F 3/00-3/72,
H03H 7/00-7/13, H03H 7/38-7/40

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996
日本国公開実用新案公報 1971-2000
日本国登録実用新案公報 1994-2000
日本国実用新案登録公報 1996-2000

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)
WPI

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A ✓	JP, 10-56339, A (株式会社村田製作所) 24. 2月. 1998 (24. 02. 98) 図面第3図、第7図参照 (ファミリ ーなし)	1-8
A ✓	EP, 823779, A2 (株式会社村田製作所) 11. 2月. 1. 998 (11. 02. 98) 図面第12図参照 & JP, 10-56340, A & US, 6054902, A	1-8

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって、出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日
29. 05. 00

国際調査報告の発送日
06.06.00

国際調査機関の名称及びあて先
日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
杉田 恵 印
5 T 8936
電話番号 03-3581-1101 内線 3526

THIS PAGE BLANK (USPTO)

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A. ✓	US, 5 1 4 6 1 7 8, A (日本電信電話株式会社) 8. 9月. 1 9 9 2 (0 8. 0 9. 9 2) 図面第4図、第6図参照 & JP, 4-183008, A & JP, 7-32335, B2	1-8
A ✓	JP, 58-94210, A (三菱電機株式会社) 4. 6月. 19 83 (04. 06. 83) 図面第2図参照 (ファミリーなし)	1-8
A ✓	Technical Report of IEICE, Vol.95 No.179 MW95-73 (1995.07.2 5) "900MHz-band Low Voltage Drive Linear Amplifire Module" Kazuhiko Nakahara, Mitsuru Mochizuki, Hideaki Katayama, Hirochika Hanai, Yasushi Itoh, Tadashi Takagi, Yasuo Mitsui, pp.103-106	1-8

THIS PAGE BLANK (USPTO)

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2001 年 8 月 16 日 (16.08.2001)

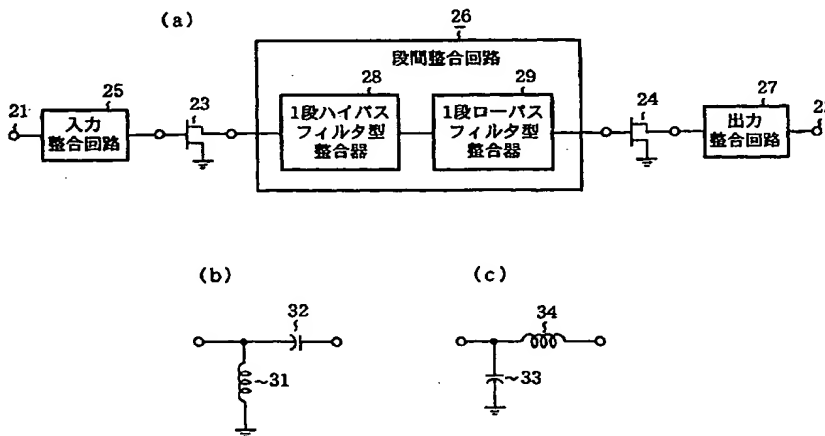
PCT

(10) 国際公開番号
WO 01/59927 A1

- (51) 国際特許分類⁷: H03F 3/60, H03H 7/38 池田幸夫 (IKEDA, Yukio) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP).
- (21) 国際出願番号: PCT/JP00/00682
- (22) 国際出願日: 2000 年 2 月 8 日 (08.02.2000) (74) 代理人: 弁理士 田澤博昭, 外 (TAZAWA, Hiroaki et al.); 〒100-0013 東京都千代田区霞が関三丁目7番1号 大東ビル7階 Tokyo (JP).
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語 (81) 指定国 (国内): CN, JP, KR, US.
- (71) 出願人 (米国を除く全ての指定国について): 三菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI KAISHA) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 Tokyo (JP). (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 森 一富 (MORI, Kazutomi) [JP/JP]. 新庄真太郎 (SHINJO, Shintarou) [JP/JP]. 北林文政 (KITABAYASHI, Fumimasa) [JP/JP].
- 添付公開書類:
— 国際調査報告書
- 2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: MULTISTAGE AMPLIFIER

(54) 発明の名称: 多段増幅器



(57) Abstract: A multistage amplifier for amplifying input signals comprises an interstage matching circuit (26) including a series circuit of a single-stage high-pass filter (28) and a single-stage low-pass filter (29). This configuration is effective to optimize the interstage matching conditions of a multistage amplifier, and the overall efficiency of the multistage amplifier improves. The multistage amplifier is suitable for amplification of transmitting signals and received signals used for satellite communications, ground microwave communications, mobile communications, etc.

25...INPUT MATCHING CIRCUIT
26...INTERSTAGE MATCHING CIRCUIT
27...OUTPUT MATCHING CIRCUIT
28...SINGLE-STAGE HIGH-PASS FILTER
29...SINGLE-STAGE LOW-PASS FILTER



(57) 要約:

入力信号を段階的に増幅して出力する多段増幅器において、段間整合回路（26）を1段ハイパスフィルタ型整合器（28）と1段ローパスフィルタ型整合器（29）とを直列に接続して構成する。この構成は、多段増幅器の段間整合条件の最適化に有効であり、多段増幅器全体の効率が向上する。この多段増幅器は、衛星通信、地上マイクロ波通信、移動体通信などで送信信号および受信信号の増幅に好適である。

明 細 書

多段増幅器

技術分野

この発明は、入力信号を段階的に増幅して出力する多段増幅器に関するものである。

背景技術

一般に F E T、B J T、H B T などの半導体素子を用いた多段増幅器においては、入力、段間、出力の整合回路は半導体素子の性能を引き出すように構成される。

第 1 図は例えば「信学技報 M W 9 5 - 7 3 (1 9 9 5 年 7 月 発行) 」に示された従来の多段増幅器を示す等価回路図であり、図において、1 は信号を入力する入力端子、2 は増幅後の信号を出力する出力端子、3 は入力端子 1 から入力された信号を増幅する前段増幅素子、4 は前段増幅素子 3 により増幅された信号を増幅する後段増幅素子である。

5 は多段増幅器の入力整合回路、6 は前段増幅素子 3 と後段増幅素子 4 間のインピーダンス整合を図る段間整合回路、7 はバイアス回路、8 は多段増幅器の出力整合回路、9 はバイアス供給用ショートスタブ、1 0 は並列キャパシタ、1 1 は直列線路、1 2 は直列キャパシタである。

なお、前段増幅素子 3 及び後段増幅素子 4 は F E T、B J T、M O S F E T、H E M T、H B T などにより構成される。

次に動作について説明する。

入力端子 1 から信号が入力されると、その信号は入力整合回路 5 を介して前段増幅素子 3 に入力され、前段増幅素子 3 により増幅される。

前段増幅素子 3 により増幅された信号は、段間整合回路 6 及びバイアス回路 7 を介して後段増幅素子 4 に入力され、後段増幅素子 4 により増幅される。

後段増幅素子 4 により増幅された信号は、出力整合回路 8 を介して出力端子 2 から出力される。

ここで、段間整合回路 6 の作用を説明する。

段間整合回路 6 は、段間のある基準面において、インピーダンスが共役となるように整合を実施する。第 2 図は多段増幅器の段間における整合条件の一般例を示す説明図である。

第 2 図に示すように、前段増幅素子 3 の出力インピーダンスを S_{Y_FET} 、前段増幅素子 3 から出力側を見たインピーダンス（前段増幅素子 3 の出力負荷インピーダンス）を Γ_{out} 、後段増幅素子 4 の入力インピーダンスを S_{X_FET} 、後段増幅素子 4 から入力側を見たインピーダンス（後段増幅素子 4 の入力電源インピーダンス）を Γ_{in} と定義する。

多段増幅器が小信号動作する場合、前段増幅素子 3 の最適出力負荷インピーダンス Γ_{opt_out} は前段増幅素子 3 の出力インピーダンスの複素共役インピーダンス $S_{Y_FET}^*$ と一致し、後段増幅素子 4 の最適入力電源インピーダンス Γ_{opt_in} は後段増幅素子 4 の入力インピーダンスの複素共役インピーダンス $S_{X_FET}^*$ と一致する。

したがって、前段増幅素子 3 の出力端 X において、複素共役整合を実現する場合には、段間整合回路 6 は、第 2 図 (b) に示すように、後段増幅素子 4 の入力インピーダンス S_{X_FET} から前段増幅素子 3 の出力インピーダンスの複素共役インピーダンス $S_{Y_FET}^*$ ($= \Gamma_{opt_out}$) へのインピーダンス変換を行うように設計される。

また、後段増幅素子 4 の入力端 Y において、複素共役整合を実現する場合には、段間整合回路 6 は、第 2 図 (c) に示すように、前段増幅素

子 3 の出力インピーダンス S_{Y_FET} から後段増幅素子 4 の入力インピーダンスの複素共役インピーダンス $S_{X_FET}^*$ ($= \Gamma_{opt_in}$) へのインピーダンス変換を行うように設計される。

これにより、段間整合回路 6 が無損失な場合には、一般的に、前段増幅素子 3 の出力端 X において複素共役整合を実現すれば、同時に後段増幅素子 4 の入力端 Y において複素共役整合を実現することができる。

しかし、多段増幅器を使用する入力レベルは、多段増幅器の最終段の増幅素子や、その前段の増幅素子においては、小信号動作ではなく大信号動作となる。

大信号動作時には、増幅素子の入出力インピーダンスは小信号動作時とは異なる値となり、さらに、効率を最大とする最適なインピーダンスは入出力インピーダンスと異なる値になる。したがって、大信号動作時には、前段増幅素子 3 の最適出力負荷インピーダンス Γ_{opt_out} は、前段増幅素子 3 の出力インピーダンスの複素共役インピーダンス $S_{Y_FET}^*$ と一致せずに異なるインピーダンスとなる。同様に、後段増幅素子 4 の最適入力電源インピーダンス Γ_{opt_in} は、後段増幅素子 4 の入力インピーダンスの複素共役インピーダンス $S_{X_FET}^*$ と一致せずに異なるインピーダンスとなる。

これにより、前段増幅素子 3 の出力端 X において複素共役整合を実現する場合には、段間整合回路 6 は、第 2 図 (b) に示すように、後段増幅素子 4 の入力インピーダンス S_{X_FET} から前段増幅素子 3 の最適出力負荷インピーダンス Γ_{opt_out} ($\neq S_{Y_FET}^*$) へのインピーダンス変換を行うように設計される。また、後段増幅素子 4 の入力端 Y において複素共役整合を実現する場合には、段間整合回路 6 は、第 2 図 (c) に示すように、前段増幅素子 3 の出力インピーダンス S_{Y_FET} から後段増幅素子 4 の最適入力電源インピーダンス Γ_{opt_in} ($\neq S_{X_FET}^*$) へのインピーダンス変換を行うように設計される。

E_T^*) へのインピーダンス変換を行うように設計される。

この場合、一般的には、全く同じ段間整合回路 6 を用いて、前段増幅素子 3 の出力端 X における共役整合と、後段増幅素子 4 の入力端 Y における共役整合を同時に実現することができない。

従来の多段増幅器は以上のように構成されているので、前段増幅素子 3 の出力負荷インピーダンス S_{Y_FET} と、後段増幅素子 4 の入力電源インピーダンス S_{X_FET} とを同時に最適インピーダンスに整合することができず、多段増幅器全体の効率が低くなる課題があった。

この発明は上記のような課題を解決するためになされたもので、前段増幅素子の出力負荷インピーダンスと後段増幅素子の入力電源インピーダンスの両方を最適インピーダンスに整合することができる多段増幅器を得ることを目的とする。

発明の開示

この発明に係る多段増幅器は、1 段ハイパスフィルタ型整合器と 1 段ローパスフィルタ型整合器を直列に接続して、整合回路を構成するようにしたものである。

このことによって、前段増幅素子の出力負荷インピーダンスと後段増幅素子の入力電源インピーダンスの両方を最適インピーダンスに整合することができるため、多段増幅器全体の効率を高めることができる効果がある。

この発明に係る多段増幅器は、最終段の増幅素子と、その前段の増幅素子間に挿入される整合回路に限り、1 段ハイパスフィルタ型整合器と 1 段ローパスフィルタ型整合器を直列に接続して構成するようにしたものである。

このことによって、多段増幅器の小型化を図ることができる効果があ

る。

この発明に係る多段増幅器は、1段ハイパスフィルタ型整合器を入力側に設置し、1段ローパスフィルタ型整合器を出力側に設置する整合回路を設けたものである。

このことによって、前段増幅素子の出力負荷インピーダンスと後段増幅素子の入力電源インピーダンスの両方を最適インピーダンスに整合することができる効果がある。

この発明に係る多段増幅器は、1段ローパスフィルタ型整合器を入力側に設置し、1段ハイパスフィルタ型整合器を出力側に設置する整合回路を設けたものである。

このことによって、前段増幅素子の出力負荷インピーダンスと後段増幅素子の入力電源インピーダンスの両方を最適インピーダンスに整合することができる効果がある。

この発明に係る多段増幅器は、並列インダクタと直列キャパシタから1段ハイパスフィルタ型整合器を構成するようにしたものである。

このことによって、小型の1段ハイパスフィルタ型整合器を得ることができる効果がある。

この発明に係る多段増幅器は、並列インダクタとして、長さが4分の1波長以下のバイアス供給用ショートスタブを用いるようにしたものである。

このことによって、前段増幅素子の出力側のバイアス供給線路を兼ねることができるため、多段増幅器の小型化を図ることができる効果がある。

この発明に係る多段増幅器は、並列キャパシタと直列インダクタから1段ローパスフィルタ型整合器を構成するようにしたものである。

このことによって、小型の1段ローパスフィルタ型整合器を得ること

ができる効果がある。

この発明に係る多段増幅器は、直列インダクタとして、直列線路を用いるようにしたものである。

このことによって、小型の１段ローパスフィルタ型整合器を得ることができる効果がある。

図面の簡単な説明

第１図は従来が多段増幅器を示す等価回路図である。

第２図は多段増幅器の段間における整合条件の一般例を示す説明図である。

第３図はこの発明の実施の形態１による多段増幅器を示す等価回路図である。

第４図は前段増幅素子の最適出力負荷インピーダンスと後段増幅素子の最適入力電源インピーダンスを示す説明図である。

第５図は１段ハイパスフィルタ型整合器と１段ローパスフィルタ型整合器を用いて段間整合回路を構成した場合の段間のインピーダンスを示す説明図である。

第６図はこの発明の実施の形態２による多段増幅器を示す等価回路図である。

第７図は１段ローパスフィルタ型整合器と１段ハイパスフィルタ型整合器を用いて段間整合回路を構成した場合の段間のインピーダンスを示す説明図である。

第８図はこの発明の実施の形態３による多段増幅器を示す等価回路図である。

第９図はこの発明の実施の形態４による多段増幅器を示す等価回路図である。

発明を実施するための最良の形態

以下、この発明をより詳細に説明するために、この発明を実施するための最良の形態について、添付の図面に従って説明する。

実施の形態 1.

第 3 図はこの発明の実施の形態 1 による多段増幅器を示す等価回路図であり、図において、21 は信号を入力する入力端子、22 は増幅後の信号を出力する出力端子、23 は入力端子 21 から入力された信号を増幅する前段増幅素子、24 は前段増幅素子 23 により増幅された信号を増幅する後段増幅素子である。

25 は多段増幅器の入力整合回路、26 は前段増幅素子 23 と後段増幅素子 24 間のインピーダンス整合を図る段間整合回路、27 は多段増幅器の出力整合回路、28 は段間整合回路 26 を構成する 1 段ハイパスフィルタ型整合器、29 は段間整合回路 26 を構成する 1 段ローパスフィルタ型整合器である。

31 は 1 段ハイパスフィルタ型整合器 28 を構成する並列インダクタ、32 は 1 段ハイパスフィルタ型整合器 28 を構成する直列キャパシタ、33 は 1 段ローパスフィルタ型整合器 29 を構成する並列キャパシタ、34 は 1 段ローパスフィルタ型整合器 29 を構成する直列インダクタである。

なお、前段増幅素子 23 及び後段増幅素子 24 は FET、BJT、MOSFET、HEMT、HBT などにより構成される。

次に動作について説明する。

入力端子 21 から信号が入力されると、その信号は入力整合回路 25 を介して前段増幅素子 23 に入力され、前段増幅素子 23 により増幅される。

前段増幅素子 2 3 により増幅された信号は、1 段ハイパスフィルタ型整合器 2 8 と 1 段ローパスフィルタ型整合器 2 9 から構成される段間整合回路 2 6 を介して後段増幅素子 2 4 に入力され増幅され、後段増幅素子 2 4 により増幅される。

後段増幅素子 2 4 により増幅された信号は、出力整合回路 2 7 を介して出力端子 2 2 から出力される。

ここで、第 4 図 (a) に前段増幅素子 2 3 として、例えば、ゲート幅が 5 . 8 mm の H E M T 素子の最適出力負荷インピーダンス Γ_{opt_out} を示すとともに、出力インピーダンスの複素共役インピーダンス $S_{V_FET}^*$ を示す。

また、第 4 図 (b) に後段増幅素子 2 4 として、例えば、ゲート幅が 1 7 . 5 mm の H E M T 素子の最適入力電源インピーダンス Γ_{opt_in} を示すとともに、入力インピーダンスの複素共役インピーダンス $S_{X_FET}^*$ を示す。

どちらの H E M T 素子もバイアス条件は A B 級である。この場合、前段増幅素子 2 3 のゲート幅は後段増幅素子 2 4 のゲート幅の 2 分の 1 以下になっている。

後段増幅素子 2 4 (ゲート幅が 1 7 . 5 mm の H E M T 素子) の最適入力電源インピーダンス Γ_{opt_in} は、バックオフ 3 d B 程度 of 出力電力レベルにおいて、所定の歪みの条件を満足するとき、最大の効率が得られるインピーダンスであり、ロードプル・ソースプル測定をして求めた結果である。

前段増幅素子 2 3 (ゲート幅が 5 . 8 mm の H E M T 素子) の最適出力負荷インピーダンス Γ_{opt_out} は、ゲート幅が 1 7 . 5 mm の上記 H E M T 素子に対するロードプル・ソースプル測定の結果と、ゲート幅が 5 . 8 mm の H E M T 素子に対するロードプル・ソースプル測定の結

果から、前段増幅素子 2 3 と後段増幅素子 2 4 の特性を組み合わせた際に、2 段増幅器としてバックオフ 3 d B 程度の出力電力レベルにおいて、所定の歪みの条件を満足するとき、最大の効率が得られる組み合わせを求め、最大効率が得られる組み合わせの場合の前段増幅素子 2 3 の出力負荷インピーダンスとして求めた結果である。

第 4 図 (a) より、前段増幅素子 2 3 (ゲート幅が 5.8 mm の H E M T 素子) の最適出力負荷インピーダンス Γ_{opt_out} は、出力インピーダンスの複素共役インピーダンス $S_{Y_FET}^*$ と比較して、インピーダンスの実部は低インピーダンス方向に移動し、インピーダンスの虚部は誘導性方向に移動している。

また、第 4 図 (b) より、後段増幅素子 2 4 (ゲート幅が 17.5 mm の H E M T 素子) の最適入力電源インピーダンス Γ_{opt_in} は、入力インピーダンスの複素共役インピーダンス $S_{X_FET}^*$ と比較して、インピーダンスの実部は高インピーダンス方向に移動し、インピーダンスの虚部は誘導性方向に移動している。

次に、1 段ハイパスフィルタ型整合器 2 8 と 1 段ローパスフィルタ型整合器 2 9 から構成された段間整合回路 2 6 を多段増幅器に用いた場合の前段増幅素子 2 3 の出力負荷インピーダンス Γ_{out} と後段増幅素子 2 4 の入力電源インピーダンス Γ_{in} を第 5 図に示す。

第 5 図 (a), (b) において、◆印で示されたインピーダンスが出力インピーダンスの複素共役インピーダンス $S_{Y_FET}^*$, 入力インピーダンスの複素共役インピーダンス $S_{X_FET}^*$ をそれぞれ表し、点線の円で示された領域が第 4 図 (a), (b) で示された最適出力負荷インピーダンス Γ_{opt_out} , 最適入力電源インピーダンス Γ_{opt_in} の近傍の領域をそれぞれ表している。

ここで、1 段ハイパスフィルタ型整合器 2 8 と 1 段ローパスフィルタ

型整合器 29 から構成された段間整合回路 26 を多段増幅器に用いた場合において、後段増幅素子 24 の入力電源インピーダンス Γ_{in} を、後段増幅素子 24 の入力インピーダンスの複素共役インピーダンス $S_{x_FET}^*$ とは異なる点に整合したとき、前段増幅素子 23 の出力負荷インピーダンス Γ_{out} がどのようなインピーダンスになるかを想定する。

例えば、第 5 図 (b) のように、後段増幅素子 24 の入力電源インピーダンス Γ_{in} が A の ● 印のインピーダンスに整合されるように段間整合回路 26 を作成すると、前段増幅素子 23 の出力負荷インピーダンス Γ_{out} は第 5 図 (a) の A の ● 印のインピーダンスになる。

その他、B ~ H の ● 印のインピーダンスについても、A の ● 印のインピーダンスと同様に、第 5 図 (a) と第 5 図 (b) において対応したインピーダンスとなる。

このように、整合すべき後段増幅素子 24 の入力電源インピーダンス Γ_{in} を、A ~ H の ● 印のインピーダンスのように円周上に変化させると、B の ● 印のインピーダンスについては、第 5 図 (a) , (b) に示すように、点線の円の領域で示された最適出力負荷インピーダンス Γ_{opt_out} の近傍の領域に存在し、かつ、最適入力電源インピーダンス Γ_{opt_in} の近傍の領域に存在する。

したがって、多段増幅器の段間整合回路 26 を 1 段ハイパスフィルタ型整合器 28 と 1 段ローパスフィルタ型整合器 29 から構成することにより、前段増幅素子 23 の出力負荷インピーダンス Γ_{out} を最適出力負荷インピーダンス Γ_{opt_out} に略一致させることができるとともに、後段増幅素子 24 の入力電源インピーダンス Γ_{in} を最適入力電源インピーダンス Γ_{opt_in} に略一致させることができる。

これにより、多段増幅器の段間整合条件をより最適化することができるため、多段増幅器全体の効率を高めることができる効果を奏する。

なお、段間整合回路 26 の構成として、1 段ローパスフィルタ型整合器、1 段ハイパスフィルタ型整合器、2 段ローパスフィルタ型整合器又は 2 段ハイパスフィルタ型整合器を用いる場合には、第 5 図 (b) において、後段増幅素子 24 の入力電源インピーダンス Γ_{in} が最適入力電源インピーダンス Γ_{opt_in} 近傍の B の●印のインピーダンスとなるように段間整合回路 26 を作成すると、前段増幅素子 23 の出力負荷インピーダンス Γ_{out} は、第 5 図 (a) の B の●印のインピーダンスとは大きく異なるインピーダンスとなり、前段増幅素子 3 の出力負荷インピーダンス Γ_{out} を最適出力負荷インピーダンス Γ_{opt_out} に一致させることができず、また、後段増幅素子 24 の入力電源インピーダンス Γ_{in} を最適入力電源インピーダンス Γ_{opt_in} に一致させることができない。

第 1 図の従来例の場合、バイアス供給用ショートスタブ 9 は 4 分の 1 波長に近い長さを有し、直列キャパシタ 12 は十分大きな値を有し、どちらも使用周波数においてインピーダンスに影響を与えない値としているため、段間整合回路 6 は並列キャパシタ 10 と直列線路 11 で構成される 1 段ローパスフィルタ型整合器と言える。したがって、前段増幅素子 3 の出力負荷インピーダンス Γ_{out} を最適出力負荷インピーダンス Γ_{opt_out} に一致させることができず、また、後段増幅素子 4 の入力電源インピーダンス Γ_{in} を最適入力電源インピーダンス Γ_{opt_in} に一致させることができない。

この実施の形態 1 では、段数が 2 段の多段増幅器について示したが、段数が 3 段以上の多段増幅器の場合には、少なくとも、最終段の増幅素子と、その前段の増幅素子間の段間整合回路 26 (以下、「最終段の段間整合回路」という) が、1 段ハイパスフィルタ型整合器 28 と 1 段ローパスフィルタ型整合器 29 から構成されていればよく、最終段の段間

整合回路 2 6 より入力側方向に存在する段間整合回路 2 6 については、1 段ハイパスフィルタ型整合器 2 8 と 1 段ローパスフィルタ型整合器 2 9 から構成されていなくても、この実施の形態 1 と同様の効果を奏することができる。

これにより、最終段の段間整合回路 2 6 より入力側方向に存在する段間整合回路 2 6 については、例えば、1 段ローパスフィルタ型整合器などの小型の整合回路を用いることができるので、多段増幅器の小型化を図ることができる効果を奏する。

実施の形態 2 .

第 6 図はこの発明の実施の形態 2 による多段増幅器を示す等価回路図であり、図において、第 3 図と同一符号は同一または相当部分を示すので説明を省略する。

4 1 は前段増幅素子 2 3 と後段増幅素子 2 4 間のインピーダンス整合を図る段間整合回路、4 2 は段間整合回路 4 1 を構成する 1 段ローパスフィルタ型整合器、4 3 は段間整合回路 4 1 を構成する 1 段ハイパスフィルタ型整合器である。

4 4 は 1 段ローパスフィルタ型整合器 4 2 を構成する並列キャパシタ、4 5 は 1 段ローパスフィルタ型整合器 4 2 を構成する直列インダクタ、4 6 は 1 段ハイパスフィルタ型整合器 4 3 を構成する並列インダクタ、4 7 は 1 段ハイパスフィルタ型整合器 4 3 を構成する直列キャパシタである。

次に動作について説明する。

上記実施の形態 1 では、入力側に 1 段ハイパスフィルタ型整合器 2 8 を設置し、出力側に 1 段ローパスフィルタ型整合器 2 9 を設置する段間整合回路 2 6 を用いるものについて示したが、入力側に 1 段ローパスフ

フィルタ型整合器 4 2 を設置し、出力側に 1 段ハイパスフィルタ型整合器 4 3 を設置する段間整合回路 4 1 を用いるようにしてもよい。具体的には次の通りである。

1 段ローパスフィルタ型整合器 4 2 と 1 段ハイパスフィルタ型整合器 4 3 から構成された段間整合回路 4 1 を多段増幅器に用いた場合の前段増幅素子 2 3 の出力負荷インピーダンス Γ_{out} と後段増幅素子 2 4 の入力電源インピーダンス Γ_{in} を第 7 図に示す。

第 7 図 (a), (b) において、◆印で示されたインピーダンスが出力インピーダンスの複素共役インピーダンス $S_{Y_FET}^*$ 、入力インピーダンスの複素共役インピーダンス $S_{X_FET}^*$ をそれぞれ表し、点線の円で示された領域が第 4 図 (a), (b) で示された最適出力負荷インピーダンス Γ_{opt_out} 、最適入力電源インピーダンス Γ_{opt_in} の近傍の領域をそれぞれ表している。

ここで、1 段ローパスフィルタ型整合器 4 2 と 1 段ハイパスフィルタ型整合器 4 3 から構成された段間整合回路 4 1 を多段増幅器に用いた場合において、後段増幅素子 2 4 の入力電源インピーダンス Γ_{in} を、後段増幅素子 2 4 の入力インピーダンスの複素共役インピーダンス $S_{X_FET}^*$ とは異なる点に整合したとき、前段増幅素子 2 3 の出力負荷インピーダンス Γ_{out} がどのようなインピーダンスになるかを想定する。

例えば、第 7 図 (b) のように、後段増幅素子 2 4 の入力電源インピーダンス Γ_{in} が A の●印のインピーダンスに整合されるように段間整合回路 4 1 を作成すると、前段増幅素子 2 3 の出力負荷インピーダンス Γ_{out} は第 7 図 (a) の A の●印のインピーダンスになる。

その他、B～H の印のインピーダンスについても、A の印のインピーダンスと同様に、第 7 図 (a) と第 7 図 (b) において対応したインピーダンスとなる。

このように、整合すべき後段増幅素子 24 の入力電源インピーダンス Γ_{in} を、A～H の印のインピーダンスのように円周上に変化させると、B の●印のインピーダンスについては、第 7 図 (a), (b) に示すように、点線の円の領域で示された最適出力負荷インピーダンス Γ_{opt_out} の近傍の領域に存在し、かつ、最適入力電源インピーダンス Γ_{opt_in} の近傍の領域に存在する。

したがって、多段増幅器の段間整合回路 41 を 1 段ローパスフィルタ型整合器 42 と 1 段ハイパスフィルタ型整合器 43 から構成することにより、前段増幅素子 23 の出力負荷インピーダンス Γ_{out} を最適出力負荷インピーダンス Γ_{opt_out} に略一致させることができるとともに、後段増幅素子 24 の入力電源インピーダンス Γ_{in} を最適入力電源インピーダンス Γ_{opt_in} に略一致させることができる。

これにより、多段増幅器の段間整合条件をより最適化することができるため、多段増幅器全体の効率を高めることができる効果を奏する。

実施の形態 3.

第 8 図はこの発明の実施の形態 3 による多段増幅器を示す等価回路図であり、図において、第 3 図と同一符号は同一または相当部分を示すので説明を省略する。

51 は 1 段ハイパスフィルタ型整合器 28 を構成する長さが 4 分の 1 波長以下のバイアス供給用ショートスタブ、52 は 1 段ローパスフィルタ型整合器 29 を構成する直列線路である。

次に動作について説明する。

上記実施の形態 1 では、1 段ハイパスフィルタ型整合器 28 を並列インダクタ 31 と直列キャパシタ 32 から構成し、1 段ローパスフィルタ型整合器 29 を並列キャパシタ 33 と直列インダクタ 34 から構成する

ものについて示したが、並列インダクタ 31 の代わりに長さが 4 分の 1 波長以下のバイアス供給用ショートスタブ 51 を用いて 1 段ハイパスフィルタ型整合器 28 を構成し、直列インダクタ 34 の代わりに直列線路 52 を用いて 1 段ローパスフィルタ型整合器 29 を構成するようにしてもよい。

並列のショートスタブは長さが 4 分の 1 波長以下の場合には、並列のインダクタと同等の電気的特性を有する。また、直列線路も直列のインダクタと同等の電気的特性を有する。

したがって、バイアス供給用ショートスタブ 51 を構成要素とする 1 段ハイパスフィルタ型整合器 28 と、直列線路 52 を構成要素とする 1 段ローパスフィルタ型整合器 29 とから多段増幅器の段間整合回路 26 を構成することにより、前段増幅素子 23 の出力負荷インピーダンス Γ_{out} を最適出力負荷インピーダンス Γ_{opt_out} に略一致させることができるとともに、後段増幅素子 24 の入力電源インピーダンス Γ_{in} を最適入力電源インピーダンス Γ_{opt_in} に略一致させることができる。

これにより、多段増幅器の段間整合条件をより最適化することができるため、多段増幅器全体での効率を高めることができる効果を奏する。

また、並列インダクタ 31 の代わりに長さが 4 分の 1 波長以下のバイアス供給用ショートスタブ 51 を用いて 1 段ハイパスフィルタ型整合器 28 を構成することにより、前段増幅素子 23 の出力側のバイアス供給線路を兼ねることができるため、多段増幅器の小型化を図ることができる効果を奏する。

実施の形態 4.

第 9 図はこの発明の実施の形態 4 による多段増幅器を示す等価回路図であり、図において、第 6 図と同一符号は同一または相当部分を示すの

で説明を省略する。

6 1 は 1 段ローパスフィルタ型整合器 4 2 を構成する直列線路、6 2 は 1 段ハイパスフィルタ型整合器 4 3 を構成する長さが 4 分の 1 波長以下のバイアス供給用ショートスタブである。

次に動作について説明する。

上記実施の形態 2 では、1 段ローパスフィルタ型整合器 4 2 を並列キャパシタ 4 4 と直列インダクタ 4 5 から構成し、1 段ハイパスフィルタ型整合器 4 3 を並列インダクタ 4 6 と直列キャパシタ 4 7 から構成するものについて示したが、直列インダクタ 4 5 の代わりに直列線路 6 1 を用いて 1 段ローパスフィルタ型整合器 4 2 を構成し、並列インダクタ 4 6 の代わりに長さが 4 分の 1 波長以下のバイアス供給用ショートスタブ 6 2 を用いて 1 段ハイパスフィルタ型整合器 4 3 を構成するようにしてもよい。

直列線路は直列のインダクタと同等の電気的特性を有し、また、並列のショートスタブは長さが 4 分の 1 波長以下の場合には、並列のインダクタと同等の電気的特性を有する。

したがって、直列線路 6 1 を構成要素とする 1 段ローパスフィルタ型整合器 4 2 とバイアス供給用ショートスタブ 6 2 を構成要素とする 1 段ハイパスフィルタ型整合器 4 3 とから多段増幅器の段間整合回路 2 6 を構成することにより、前段増幅素子 2 3 の出力負荷インピーダンス Γ_{out} を最適出力負荷インピーダンス Γ_{opt_out} に略一致させることができるとともに、後段増幅素子 2 4 の入力電源インピーダンス Γ_{in} を最適入力電源インピーダンス Γ_{opt_in} に略一致させることができる。

これにより、多段増幅器の段間整合条件をより最適化することができるため、多段増幅器全体での効率を高めることができる効果を奏する。

また、並列インダクタ 4 6 の代わりに長さが 4 分の 1 波長以下のバイ

アス供給用ショートスタブ 6 2 を用いて 1 段ハイパスフィルタ型整合器 4 3 を構成することにより、前段増幅素子 2 3 の出力側のバイアス供給線路を兼ねることができるため、多段増幅器の小型化を図ることができる効果を奏する。

産業上の利用可能性

以上のように、この発明に係る多段増幅器は、衛星通信、地上マイクロ波通信、移動体通信等を実施する際、送信信号や受信信号等を増幅するものなどに適している。

請 求 の 範 囲

1. 入力信号を段階的に増幅して出力する複数の増幅素子と、上記各増幅素子間にそれぞれ挿入され、相互に隣り合う増幅素子間のインピーダンス整合を図る整合回路とを備えた多段増幅器において、1段ハイパスフィルタ型整合器と1段ローパスフィルタ型整合器を直列に接続して、上記整合回路を構成することを特徴とする多段増幅器。
2. 最終段の増幅素子と、その前段の増幅素子間に挿入される整合回路に限り、1段ハイパスフィルタ型整合器と1段ローパスフィルタ型整合器を直列に接続して構成することを特徴とする請求の範囲第1項記載の多段増幅器。
3. 1段ハイパスフィルタ型整合器を入力側に設置し、1段ローパスフィルタ型整合器を出力側に設置することを特徴とする請求の範囲第1項記載の多段増幅器。
4. 1段ローパスフィルタ型整合器を入力側に設置し、1段ハイパスフィルタ型整合器を出力側に設置することを特徴とする請求の範囲第1項記載の多段増幅器。
5. 並列インダクタと直列キャパシタから1段ハイパスフィルタ型整合器を構成することを特徴とする請求の範囲第1項記載の多段増幅器。
6. 並列インダクタとして、長さが4分の1波長以下のバイアス供給用ショートスタブを用いることを特徴とする請求の範囲第5項記載の多段

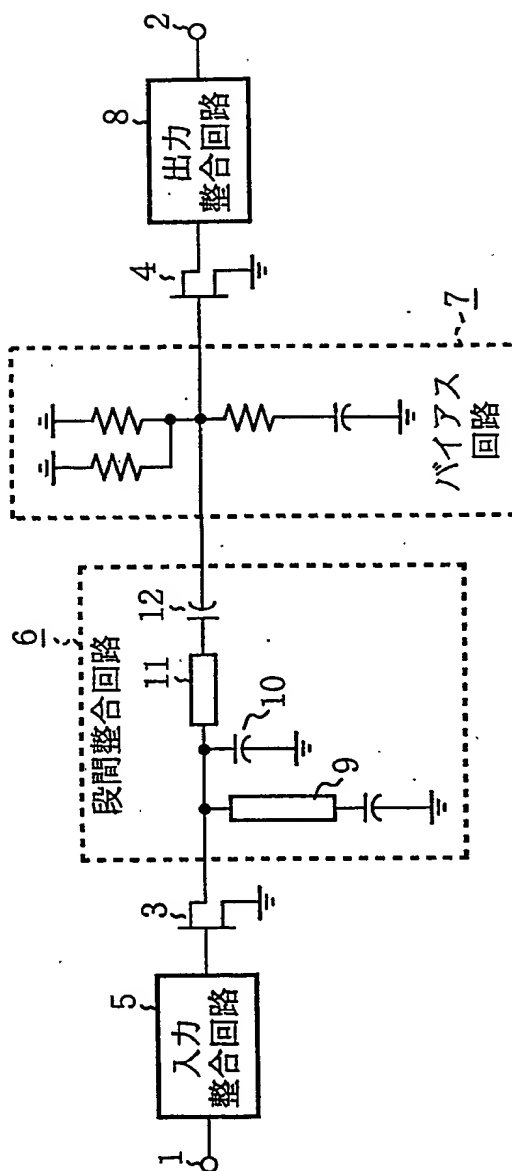
増幅器。

7. 並列キャパシタと直列インダクタから 1 段ローパスフィルタ型整合器を構成することを特徴とする請求の範囲第 1 項記載の多段増幅器。

8. 直列インダクタとして、直列線路を用いることを特徴とする請求の範囲第 7 項記載の多段増幅器。

THIS PAGE BLANK (USPTO)

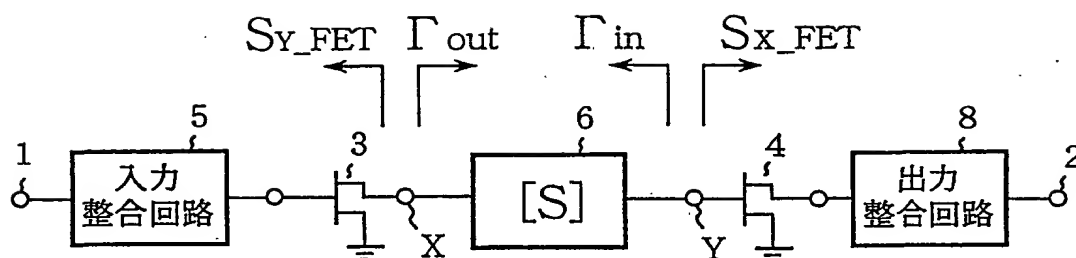
第 1 図



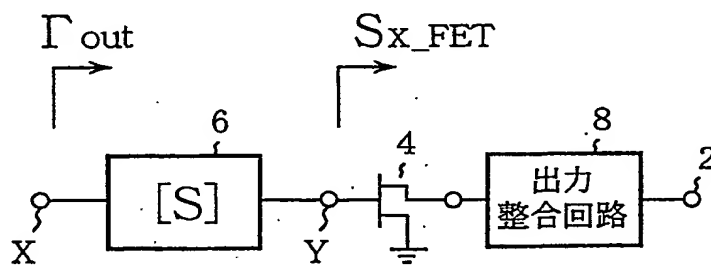
THIS PAGE BLANK (USPTO)

第 2 図

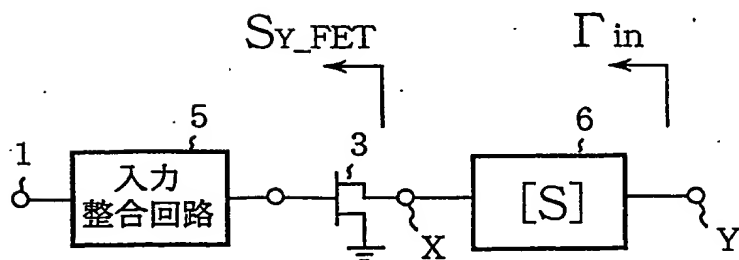
(a)



(b)



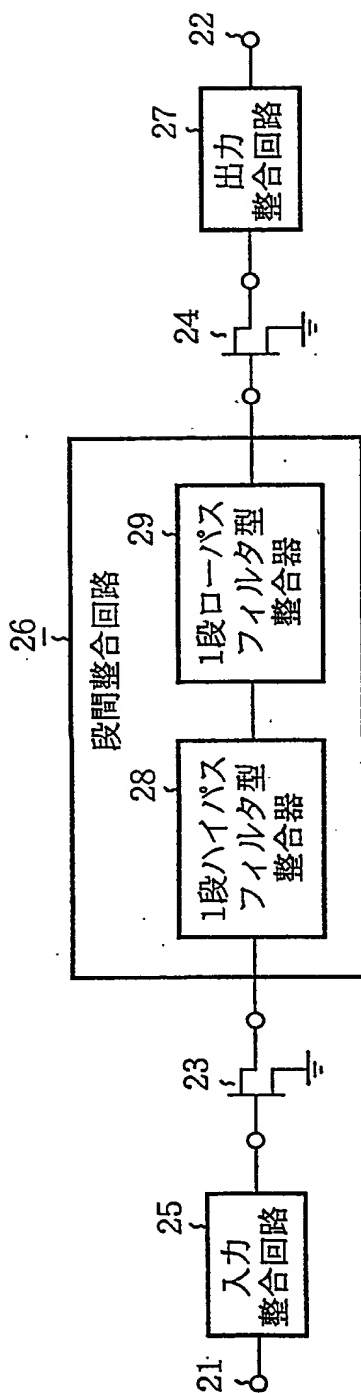
(c)



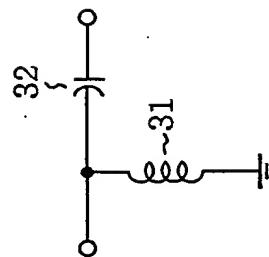
THIS PAGE BLANK (USPTO)

第 3 図

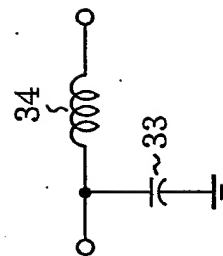
(a)



(b)

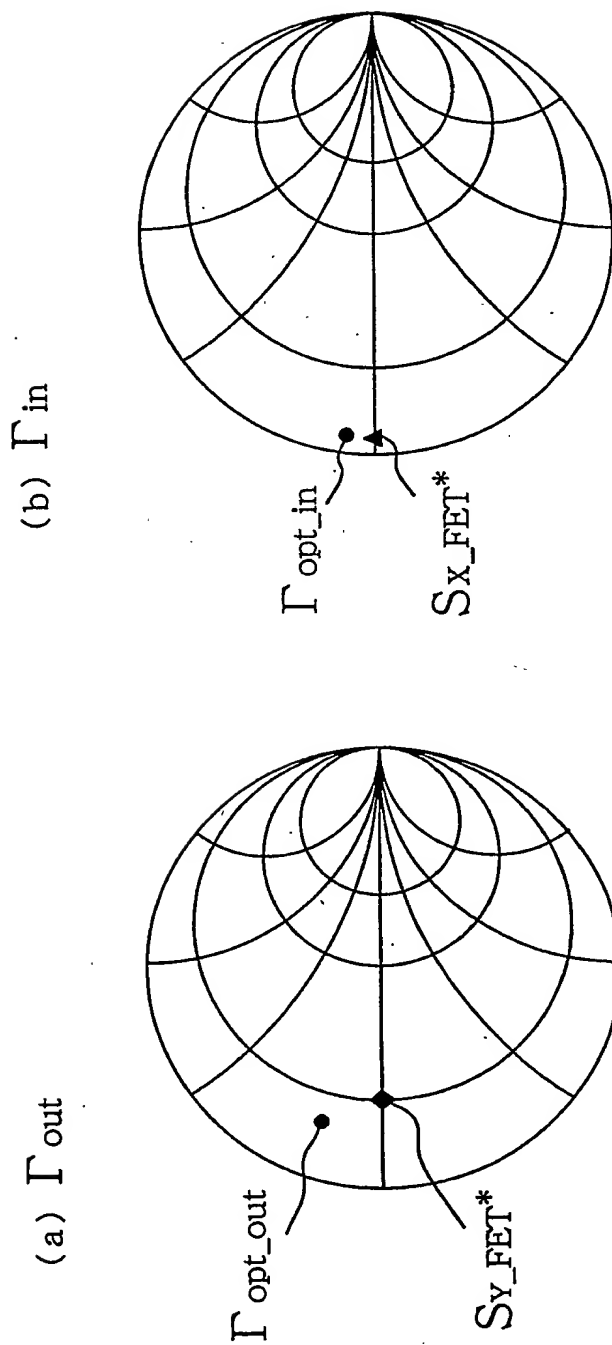


(c)



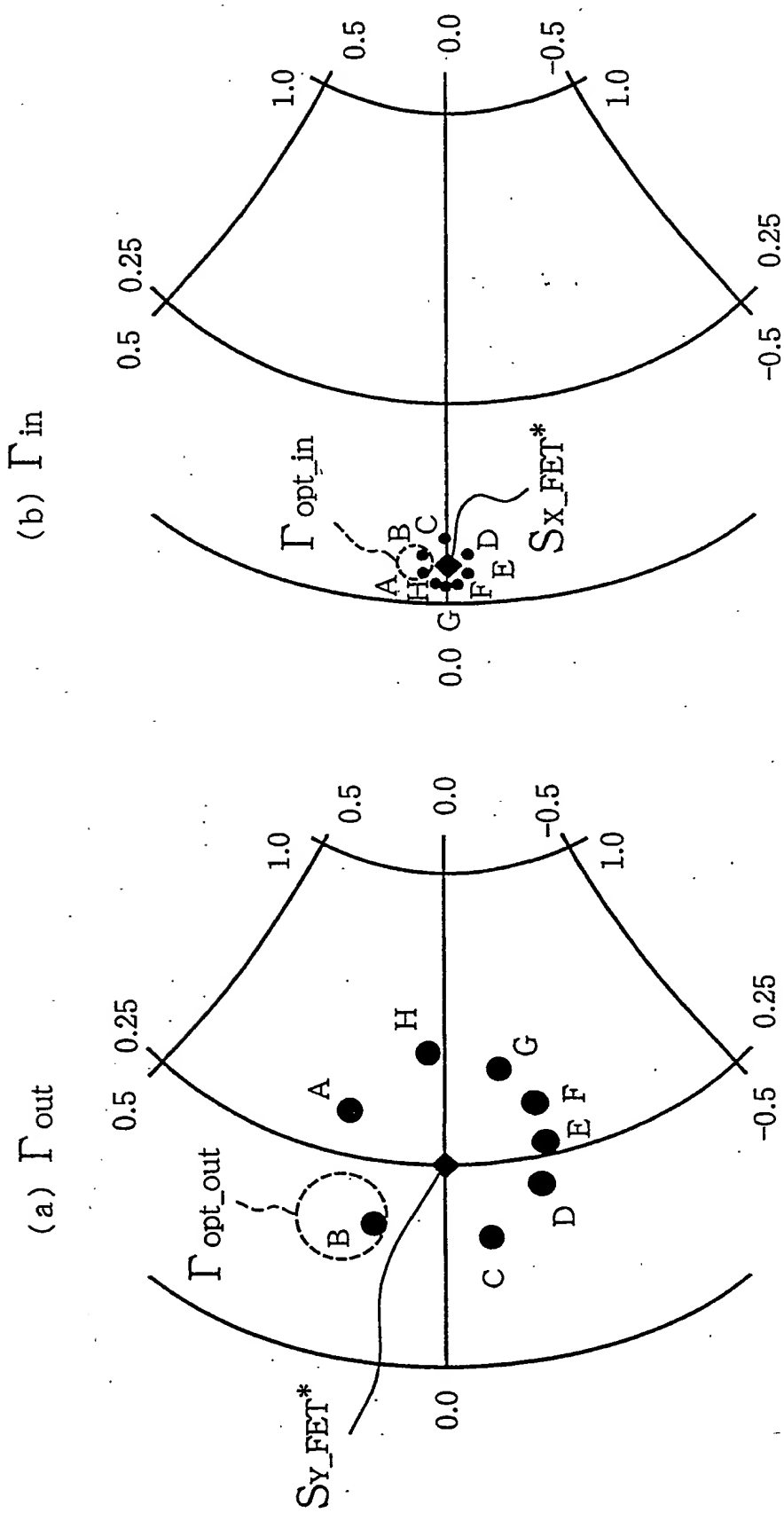
THIS PAGE BLANK (USPTU)

第 4 図



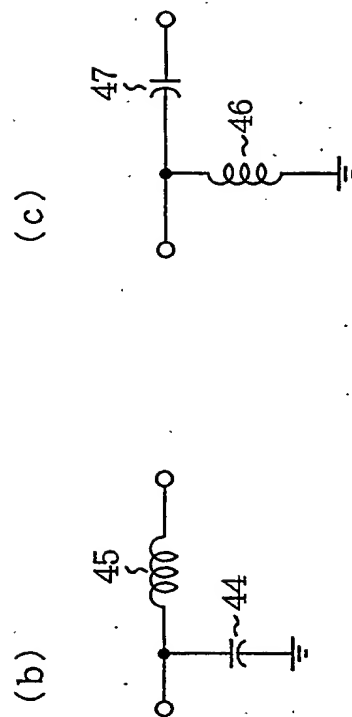
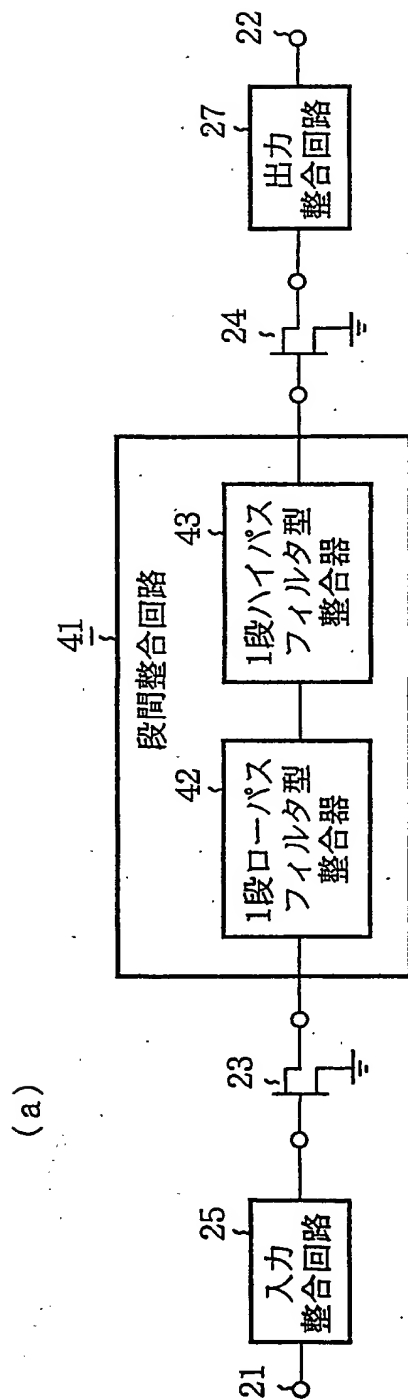
THIS PAGE BLANK (USPTO)

第 5 図



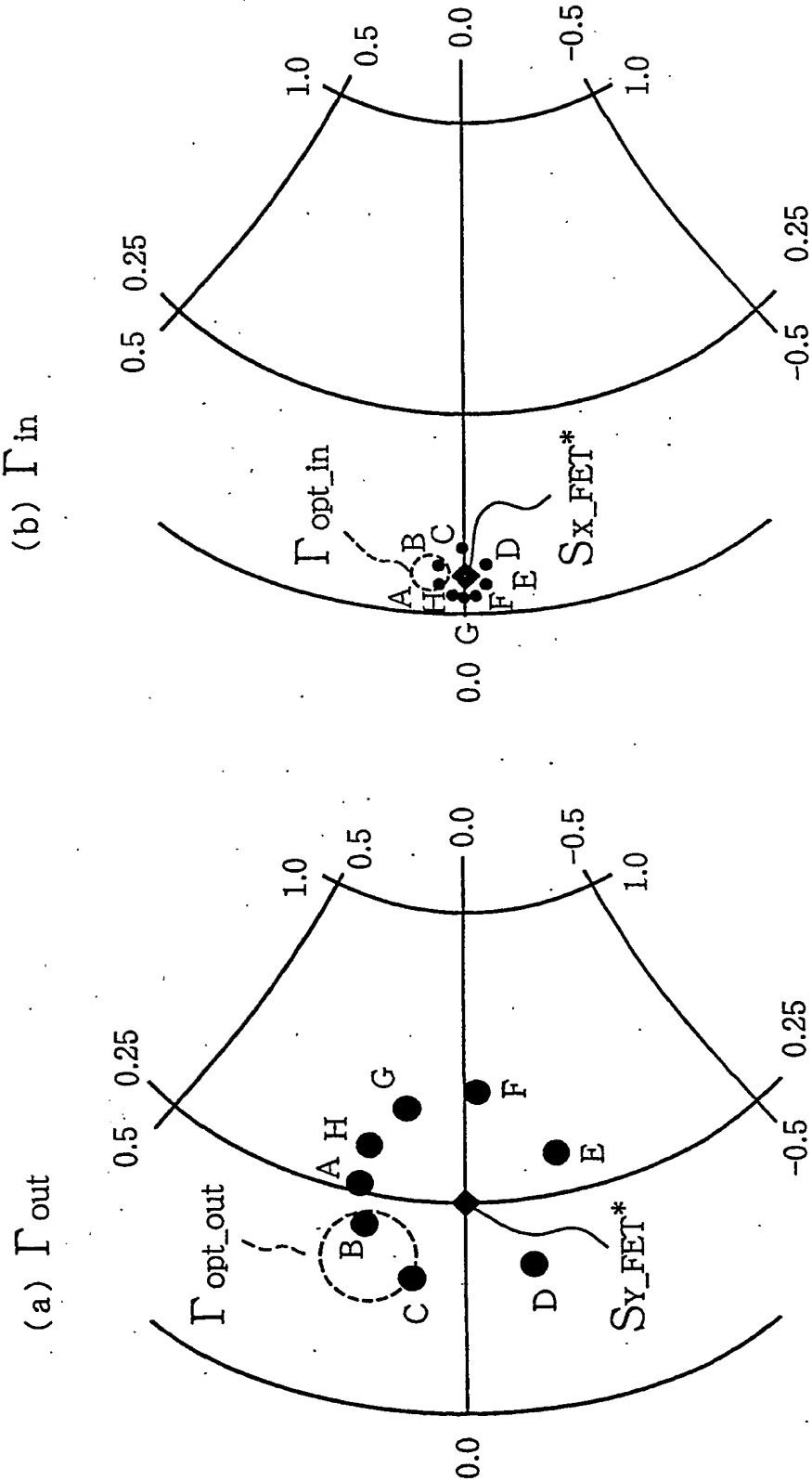
THIS PAGE BLANK (USPTO)

第 6 図



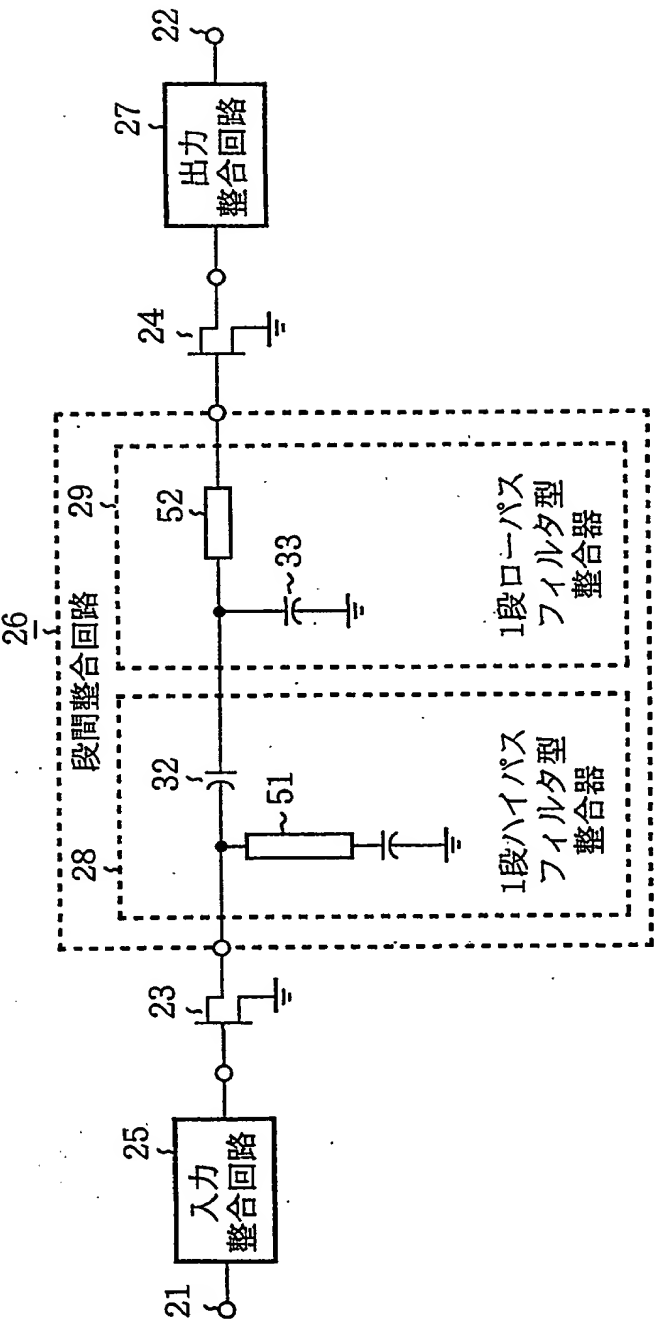
THIS PAGE BLANK (USPTO)

第 7 図



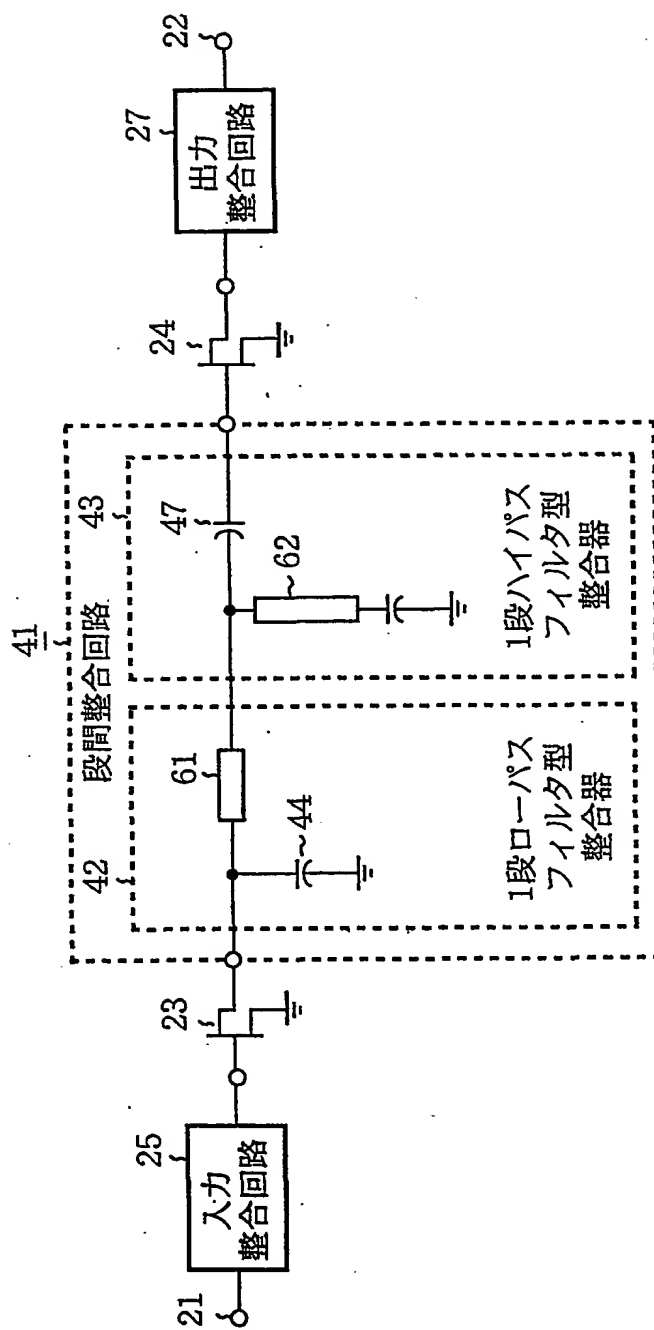
THIS PAGE BLANK (USPTO)

第 8 図



THIS PAGE BLANK (USPTO)

第 9 図



THIS PAGE BLANK (USPTO)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/00682

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl ⁷ H03F 3/60, H03H 7/38		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl ⁷ H03F 1/00-1/56, H03F 3/00-3/72, H03H 7/00-7/13, H03H 7/38-7/40		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-2000 Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) WPI		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 10-56339, A (Murata MFG. Co., Ltd.), 24 February, 1998 (24.02.98), Figs. 3, 7 (Family: none)	1-8
A	EP, 823779, A2 (Murata MFG. Co., Ltd.), 11 February, 1998 (11.02.98), Fig. 12 & JP, 10-56340, A & US, 6054902, A	1-8
A	US, 5146178, A (Nippon Telegr. & Teleph. Corp. <NTT>), 08 September, 1992 (08.09.92), Figs. 4, 6 & JP, 4-183008, A & JP, 7-32335, B2	1-8
A	JP, 58-94210, A (Mitsubishi Electric Corporation), 04 June, 1983 (04.06.83), Fig. 2 (Family: none)	1-8
A	Technical Report of IEICE, Vol.95 No.179 MW95-73 (25.07.1995) "900 MHz-band Low Voltage Drive Linear Amplifire Module" Kazuhiko Nakahara, Mitsuru Mochizuki, Hideaki Katayama,	1-8
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family	
Date of the actual completion of the international search 29 May, 2000 (29.05.00)	Date of mailing of the international search report 06 June, 2000 (06.06.00)	
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer	
Facsimile No.	Telephone No.	

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/00682

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
	Hirochika Hanai, Yasushi Itoh, Tadashi Takagi, Yasuo Mitsui, pp.103-106	

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H03F 3/60, H03H 7/38

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H03F 1/00-1/56, H03F 3/00-3/72,
H03H 7/00-7/13, H03H 7/38-7/40

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996
日本国公開実用新案公報 1971-2000
日本国登録実用新案公報 1994-2000
日本国実用新案登録公報 1996-2000

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

WPI

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P, 10-56339, A (株式会社村田製作所) 24. 2月. 1998 (24. 02. 98) 図面第3図、第7図参照 (ファミリ ーなし)	1-8
A	EP, 823779, A2 (株式会社村田製作所) 11. 2月. 1 998 (11. 02. 98) 図面第12図参照 & J P, 10-56340, A & US, 6054902, A	1-8

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

29. 05. 00

国際調査報告の発送日

06.06.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

杉田 恵

印

5 T

8936

電話番号 03-3581-1101 内線 3526

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	US, 5 1 4 6 1 7 8, A (日本電信電話株式会社) 8. 9月. 1 9 9 2 (08. 09. 92) 図面第4図、第6図参照 & JP, 4-183008, A & JP, 7-32335, B2	1-8
A	JP, 58-94210, A (三菱電機株式会社) 4. 6月. 19 83 (04. 06. 83) 図面第2図参照 (ファミリーなし)	1-8
A	Technical Report of IEICE, Vol.95 No.179 MW95-73 (1995.07.2 5) "900MHz-band Low Voltage Drive Linear Amplifire Module" Kazuhiko Nakahara, Mitsuru Mochizuki, Hideaki Katayama, Hirochika Hanai, Yasushi Itoh, Tadashi Takagi, Yasuo Mitsui, pp.103-106	1-8